

《集成电路设计实践（II）》实验报告

05022007 杜书丞 1120202163

报告说明

本实验报告“实验目的及要求”、“实验原理及内容”照搬实验讲义，Candence 电路原理图、仿真结果以及个人对实验原理的分析理解一并放在“原理图及仿真”。进阶部分完成并放在报告的最后。D 触发器的设计经历了多个版本，一并记录在实验报告之中。

实验一 比较器电路的设计与仿真

1、实验目的及要求：

- (1) 熟悉 cadence 软件环境；
- (2) 了解模拟集成电路设计的基本流程和方法；
- (3) 理解比较器的基本工作原理及设计方法；
- (4) 设计比较器电路并满足最小分辨率的要求。

2、实验原理及内容：

常见的比较器是一个比较两个输入信号并产生一个二进制数字输出的电路。当正、负输入差为正和负时，分别对应输出端的高电平和低电平。

本实验要求设计一个应用在逐次逼近式模数转换器（SAR ADC）中的异步比较器，其电路图如图 1.1 所示：

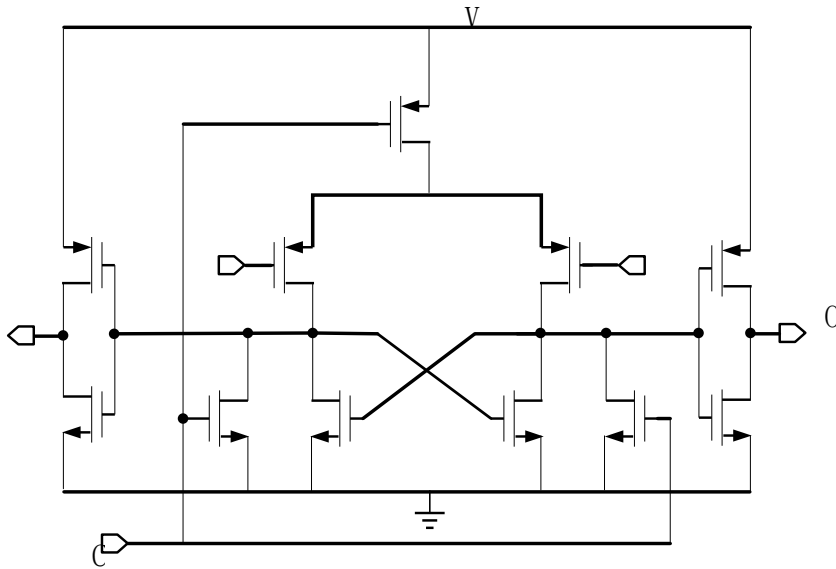
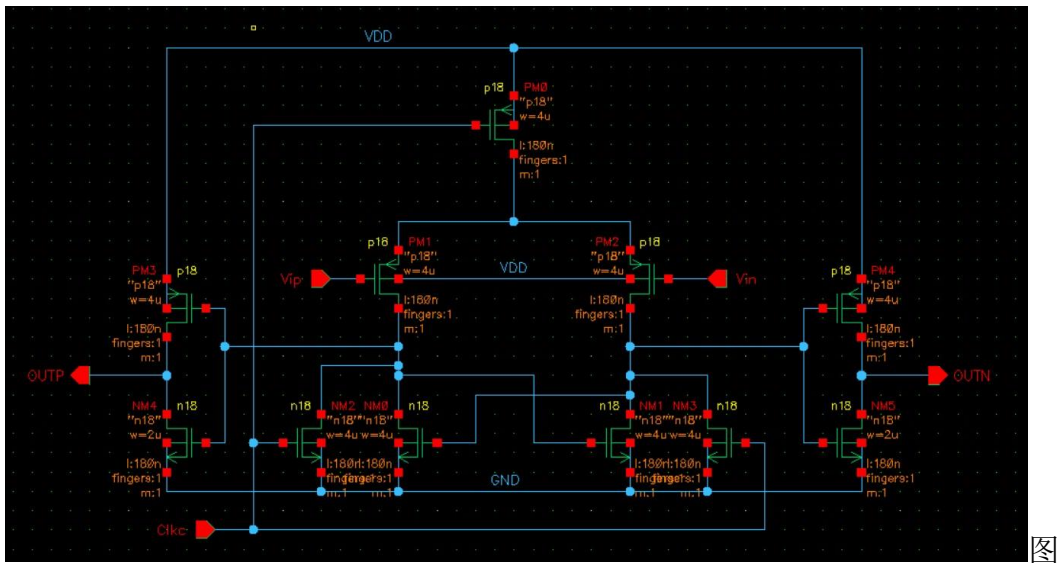


图 1.1 比较器电路图

实际电路图如图 1.2 所示，比较器中主要使用的是 smic18mmrf 中的 p18 和 n18。



1.2 比较器实际电路图

该比较器应用于 6 位逐次逼近式模数转换器，对于比较器要求分辨率要小于模数转换器最小分辨电压的一半，因此本实验的要求比较器可分辨的最小电压为：

$$V_{min} = \frac{LSB}{2} = \frac{(V_{ih} - V_{il})/2n}{2} = \frac{1.2/64}{2} = 9.375mV$$

因此，在比较器仿真设置时，两个输入端的输入信号的差值应小于 V_{min} ，以满足可分辨最小电压的要求。

这里在仿真环境设置中，以两个相差 1mV 的直流电平为例，以验证比较器的电路结果是否能满足要求。

仿真条件设置如下（VDD 和 GND 分别是 1.8V 和 0V），如图 1.3-1.5 所示。

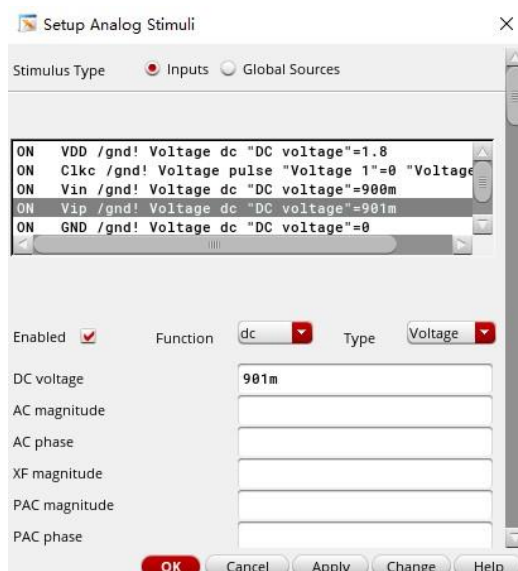


图 1.3 vip 信号设置

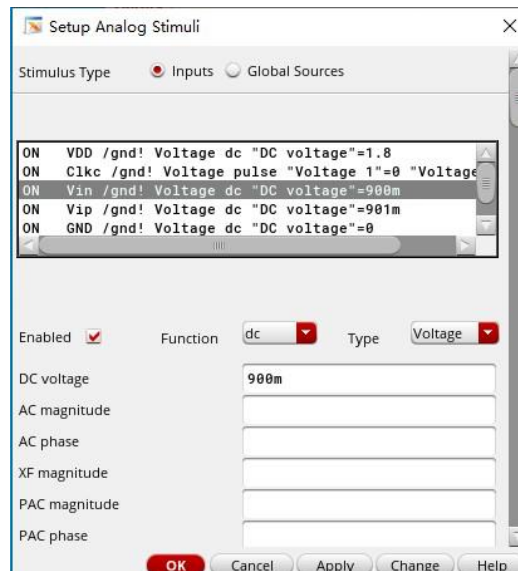


图 1.4 vin 信号设置

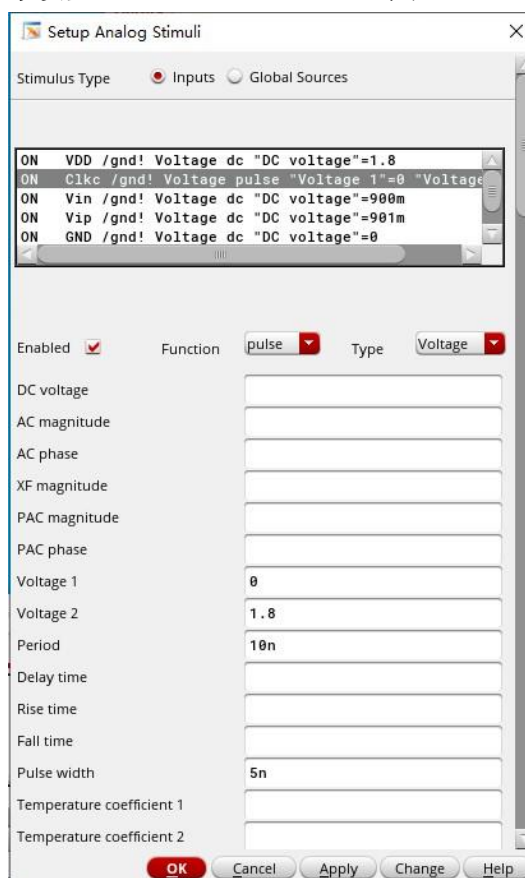


图 1.5 时钟信号设置

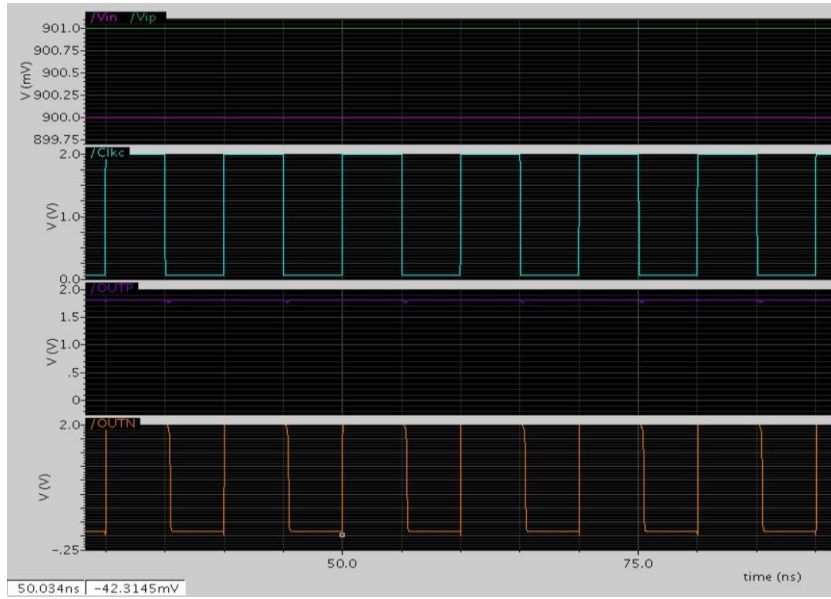


图 1.6 比较器测试参考结果

仿真参考结果如图 1.6 所示，根据仿真结果可知，该比较器可以分辨出相差 1mV 的直流电平，结果正确。当然，也可以尝试在不同共模电平下进行仿真，验证比较器的正确性。

3、原理图及仿真

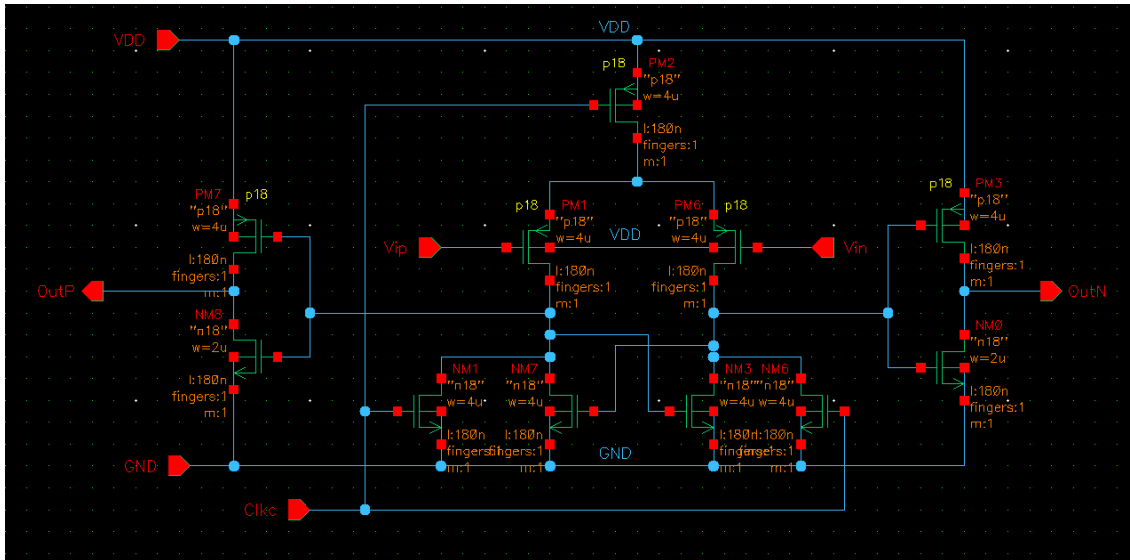


图 1.7 Cadence 原理图

比较器电路可分为三部分组成——输出反相器电路、时钟使能电路以及比较放大电路。

PM7、NM8、PM3、NM0 构成两个 CMOS 反相器，反相器的输入连接比较放大电路的输出。

PM2、NM1、NM3 构成时钟使能电路，当时钟信号为高电平时，PM2 截止，NM1 和 NM3 导通，正反馈的输出极被下拉至 GND，OutP 和 OutN 输出高电平；当时钟信号为低电平时，NM1 和 NM3 截止，PM2 导通，比较放大电路供电，进行信号的比较。可见该电路在时钟的低电平工作。

PM1、PM6、NM7、NM3 构成比较放大电路。原理是通过连接正反馈扩大输入信号之间的差异。

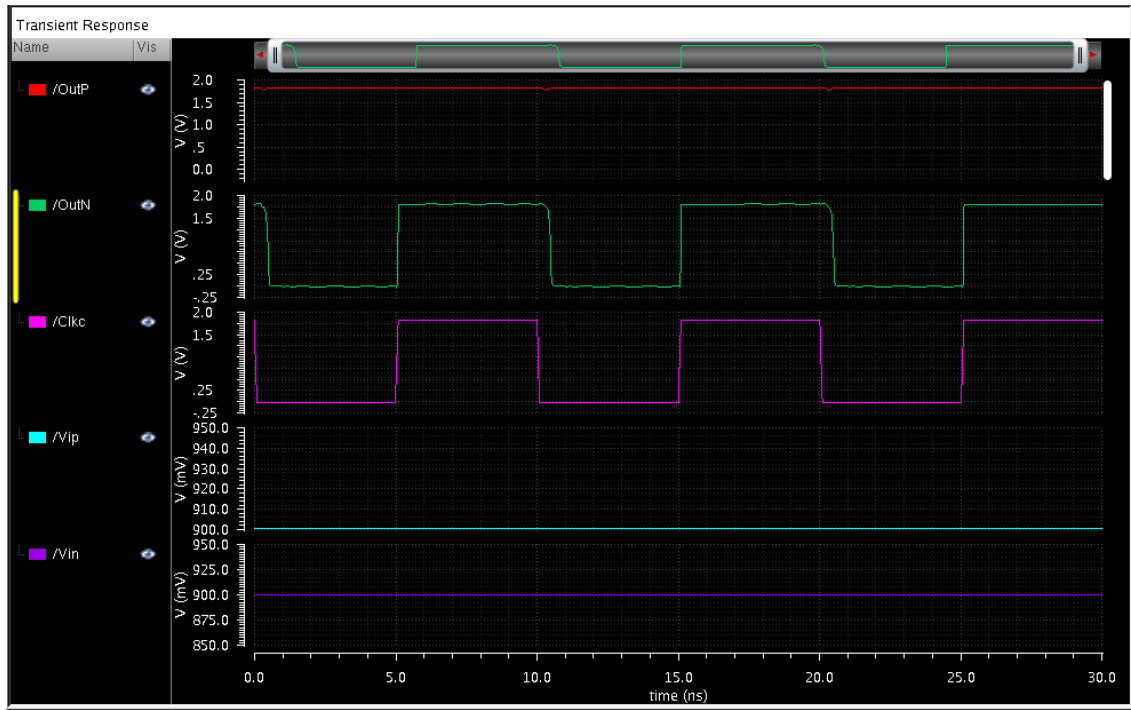


图 1.8 仿真结果

实验二 时序电路的设计与仿真

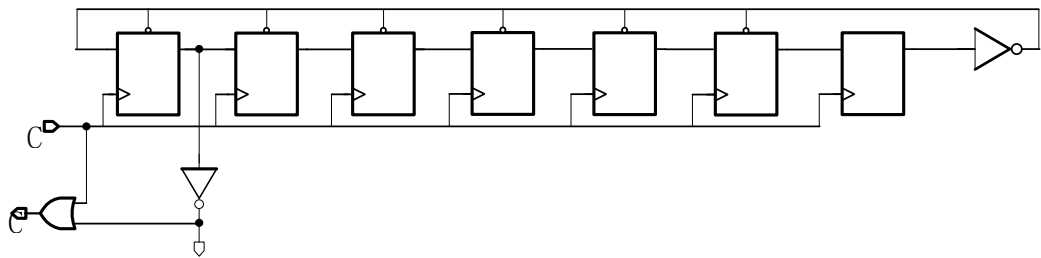
1、实验目的及要求：

- (1) 熟悉 cadence 软件环境；
- (2) 了解模拟集成电路设计的基本流程和方法；
- (3) 理解时序电路的基本工作原理及设计方法；

2、实验原理及内容：

本实验主要完成应用于 6 bit 逐次逼近式模数转换器 (SAR ADC) 的时序电路设计。时序电路在逐次逼近式模数转换器中起到逻辑控制的作用，是实现二进制搜索算法的核心。

本实验由 D 触发器、与门、或门以及非门（反相器）构成时序控制电路，其电路结构框图如图 2.1 所示：



Clks 图 2.1 时序电路框图

设计时序电路时，使用理想库 ahdLib 中的 d_ff(D 触发器)、or_gate(或门)、

not_gate（非门）以及 and_gate（与门）实现基本功能。实际电路如图 2.2 所示。

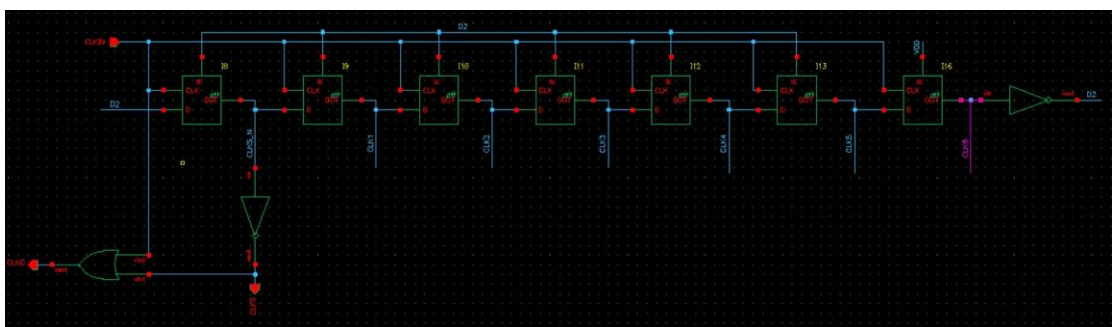


图 2.2 时序电路实际电路图

调用 d_ff 的方法如下(其余理想器件的库路径相同)：

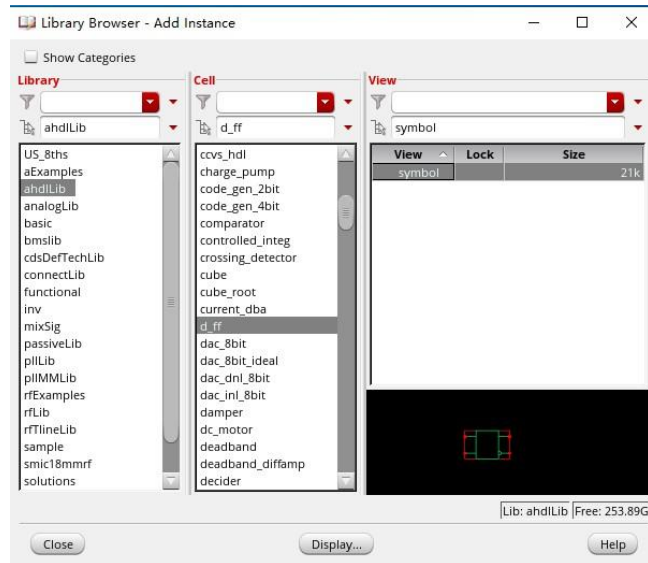


图 2.3 d-ff 调用路径

该库中的 D 触发器没有复位端，因此我们需要在电路中将 d_ff 与 and_gate 接在一起，做出一个带复位端的 D 触发器，并包装成 cell，如图 2.4 所示：

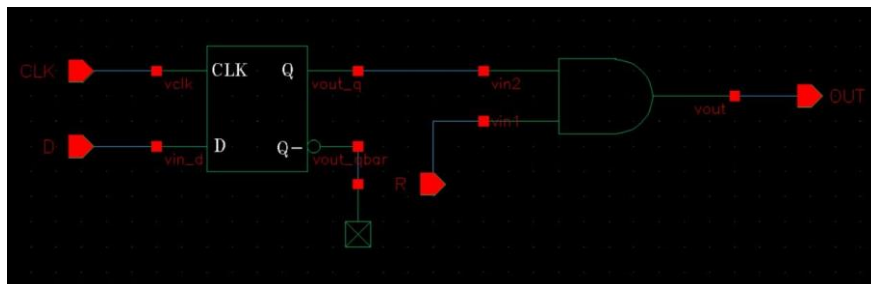


图 2.4 带复位端的 D 触发器

其中 d_ff 和 and_gate 的设置参数如下：

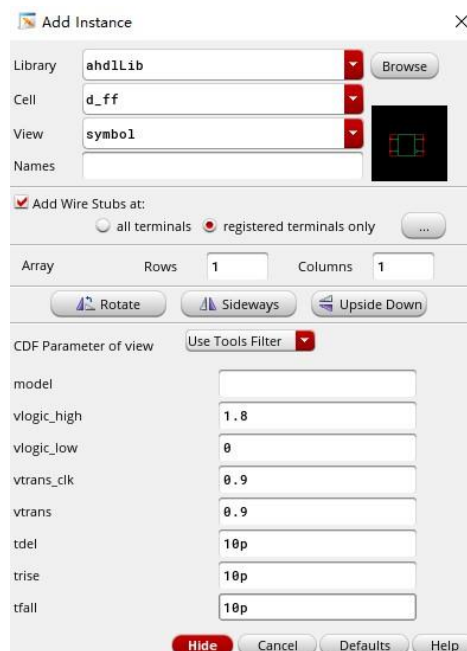


图 2.5 d_ff 参数设置

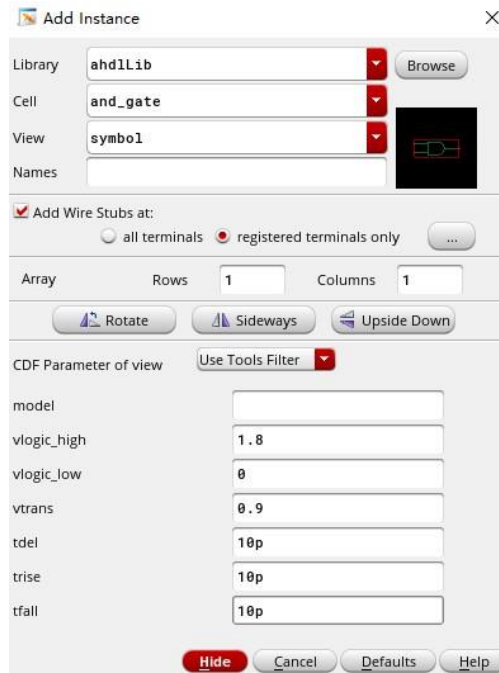


图 2.6 and_gate 参数设置

在带复位端的 D 触发器中，“Q-”并未与电路其他器件连接，属于悬空端，可用 basic 库中的“noConn”器件连接端口，避免在检查并保存电路的时候报错。

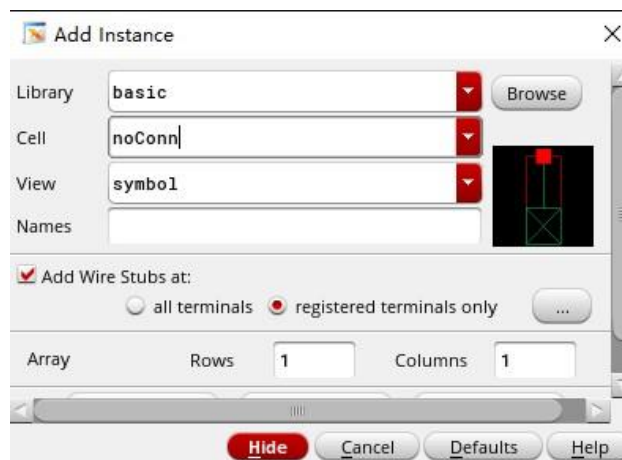


图 2.7 调用 noConn

完成带复位的 DFF 后，封装成一个器件，用于总体时序电路。注意最后一个 DFF，最后一个 DFF 用不带复位端的 DFF，或者将复位端接 VDD。

电路中使用的器件为上一步做好的 DFF，以及 ahd1Lib 中的 not_gate 和 or_gate，

not_gate 和 or_gate 的参数设置如下：

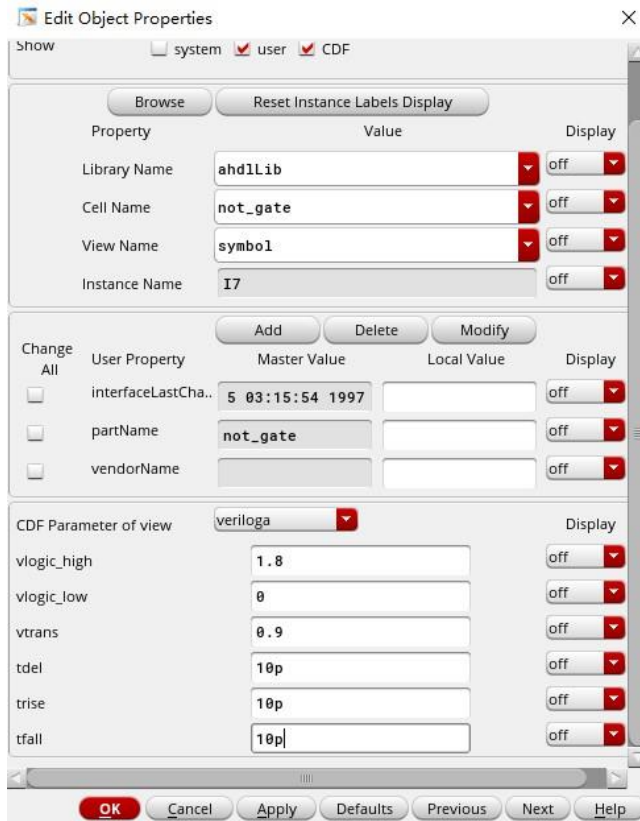


图 2.8 not_gate 参数设置

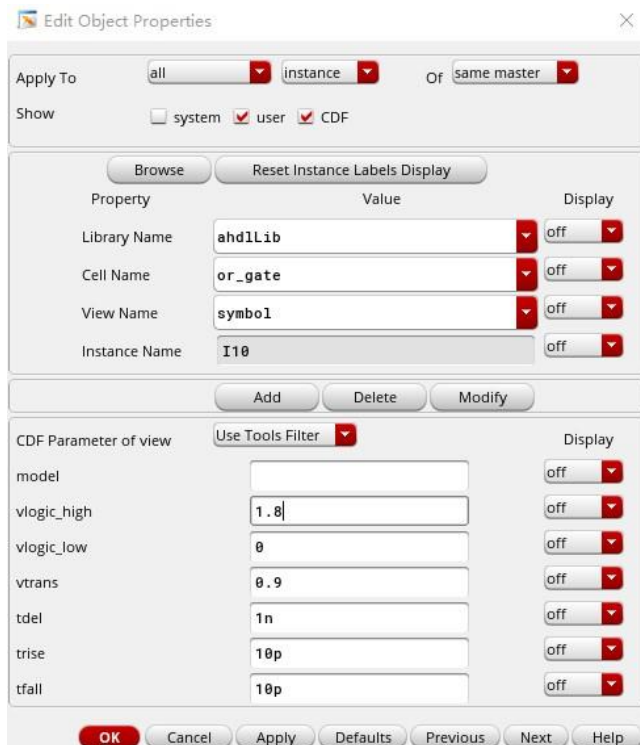
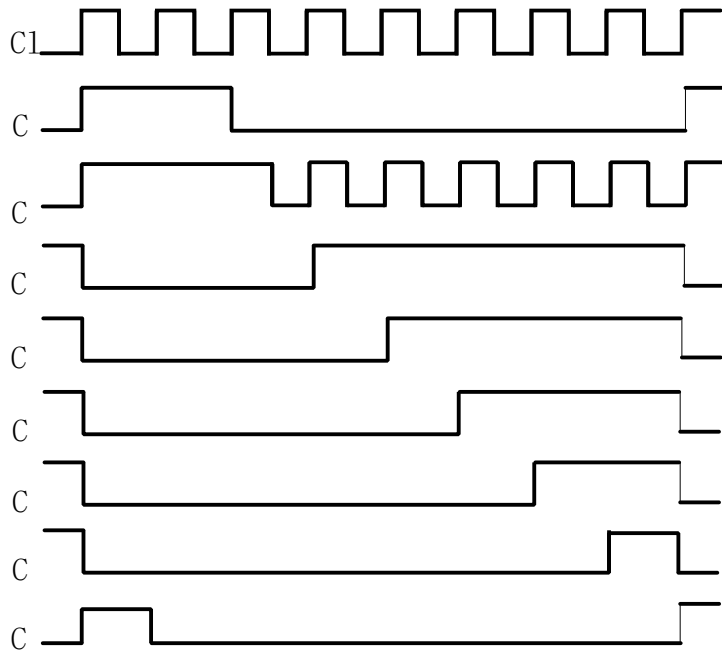


图 2.9 or_gate 参数设置

最终仿真出来的时序如图 2.10 所示:



时序电路波形

DAC 控制逻辑单元电路

比较器比较出结果后，需要一个 DAC 控制逻辑储存比较结果，并且实现电容阵的电平切换。其原理图如图 2.11 所示。

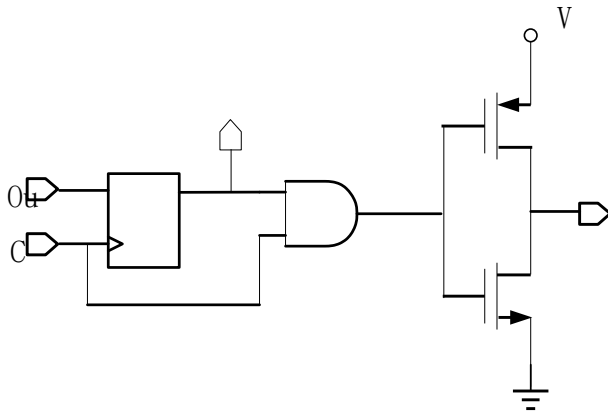


图 2.11 DAC 逻辑电路图

该原理图中， P_i 为第 i 比特的数字码， S_i 与电容相接，对电容进行电平切换。

具体电路图如图 2.12 所示。

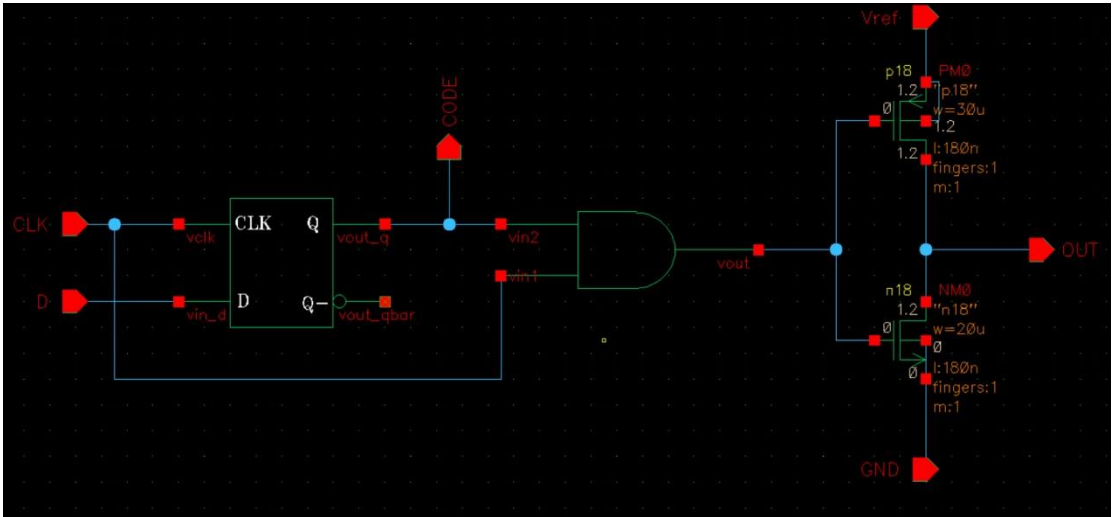


图 2.12 DAC 逻辑真实电路图

电路图中 DFF 和与门是 ahdlLib 中的 d_ff 和 and_gate，参数设置同上。

3、原理图及仿真

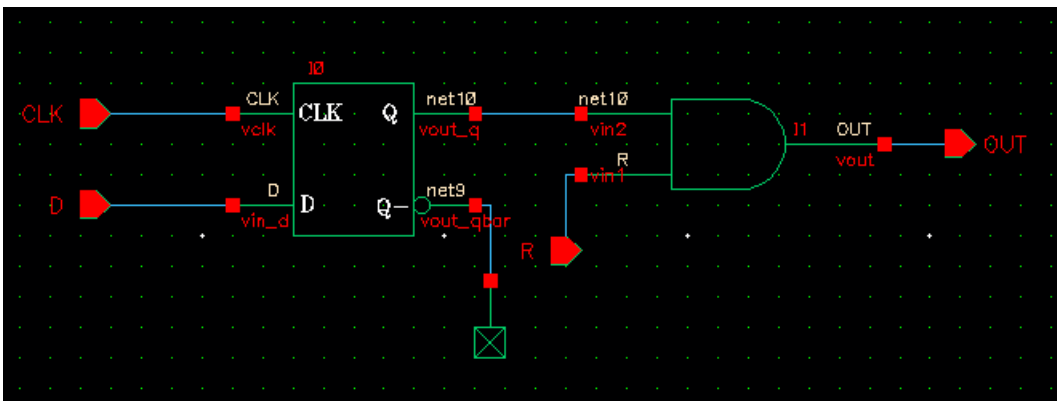


图 2.13 DFF 原理图

D 触发器和与门。使能端高有效，使能端为低时输出恒为低电平。根据后续仿真结果判断，这个 D 触发器是在时钟上边沿触发。

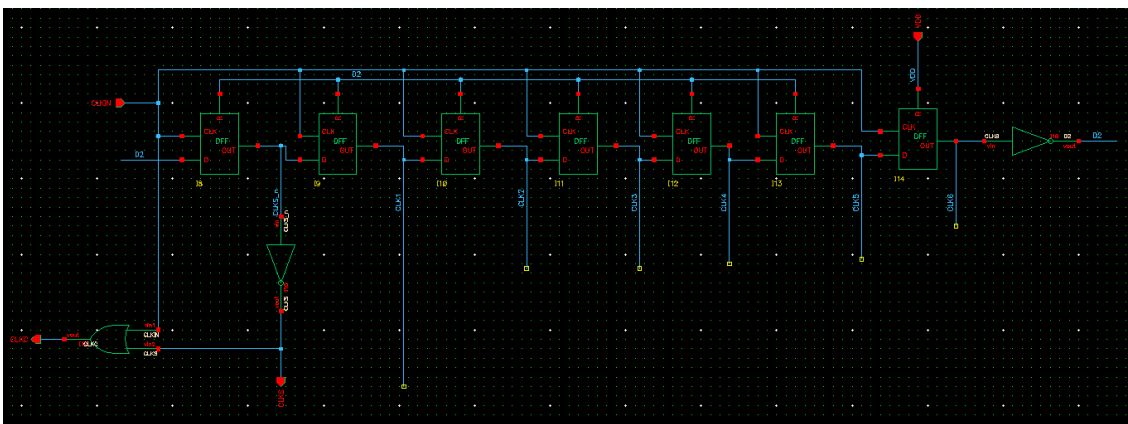


图 2.14 时序电路原理图

时序电路主要由 7 个 D 触发器构成循环移位寄存器¹，最高位触发器 (MSB, J14) 的输出通过反相器连接最低位的输入，同时 MSB 的输出通过反相器连接前 6 位触发器的使能端。

从 MSB 入手分析该电路的逻辑功能。当 MSB 的输出为高时，前 6 位寄存器使能端为低，前 6 位触发器的输出被置为低电平，MSB 的输入为低。可见 MSB 的高电平输出最多持续一个时钟周期。

当 MSB 输出为低时，前 6 位寄存器使能。MSB 持续向前 6 位移位寄存器输出高电平，高电平沿着移位寄存器传输，直到传到 MSB 结束该状态。

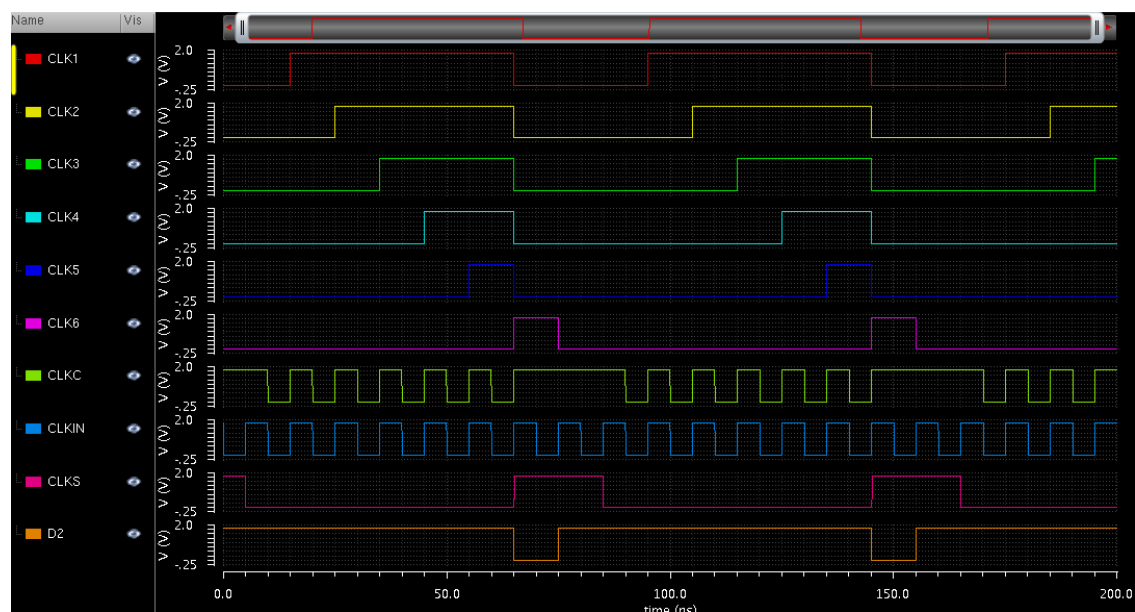


图 2.15 仿真结果

¹ 说是循环移位寄存器并不是很恰当，因为多了一个反相器。为不知道这个电路结构叫什么名字，只好先这样称呼。或许说移位寄存器加上负反馈比较合适？

实验三 逐次逼近型模数转换器的设计与仿真

1、实验目的及要求：

- (1) 熟悉 cadence 软件环境；
- (2) 了解模拟集成电路设计的基本流程和方法；
- (3) 理解模数转换器电路的基本工作原理及设计方法；

2、实验原理及内容：

逐次逼近式模数转换器（Successive Approximation Register, Analog-to-Digital Converter, SAR ADC）基于二进制搜索算法使输出逐次逼近输入的模拟信号。逐次逼近式模数转换器的基本结构如图 3.1 所示，主要由采样 / 保持电路、数模转换器（DAC）、比较器、数字控制部分和其他模拟电路组成，核心是 DAC、比较器和数字控制部分。

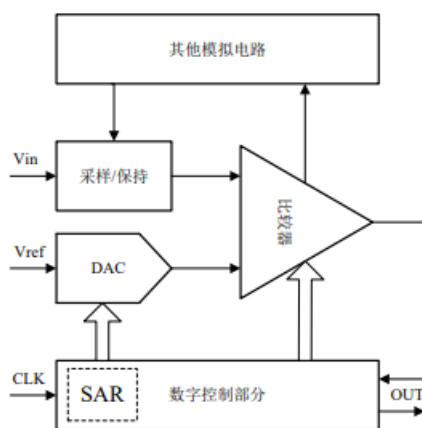


图 3.1 逐次逼近式模数转换器的基本结构

通常将模拟输入信号转换成 N bit 数字输出的逐次逼近模数转换器需要 N 个转换周期。首先模拟输入信号 V_{in} 被采样保持单元采用并保持，作为比较器的一个输入，然后数字控制部分将逐次逼近寄存器（SAR）最高位（MSB）预置 1，其他位全部清零，DAC 在 V_{ref} 和 SAR 的控制下输出 $1/2 V_{ref}$ 送入比较器的另一端。如果 $V_{in} > 1/2 V_{ref}$ ，那么比较器输出 1，SAR 最高位定为 1；否则，如果 $V_{in} < 1/2 V_{ref}$ ，那么比较器输出 0，SAR 最高位定为 0。这样，逐次逼近 ADC 的最高位就确定了，接下来再确定次高位。保证最高位不变的情况下，先预置

SAR 次高位为 1，如果前一个转换周期确定的 $MSB = 1$ ，那么此时 DAC 输出 $3/4 V_{ref}$ ，

V_{in} 与 $3/4 V_{ref}$ 比较大小，从而确定 SAR 次高位；如果前一个转换周期确定的 $MSB = 0$ ，那么此时 DAC 输出 $1/4 V_{ref}$ ， V_{in} 与 $1/4 V_{ref}$ 比较大小，从而确定 SAR 次高位。其他各低位依此类推，直到 SAR 的最低位（LSB）确定为止，这样 SAR 的值即逐次逼近 ADC 的最终输出。

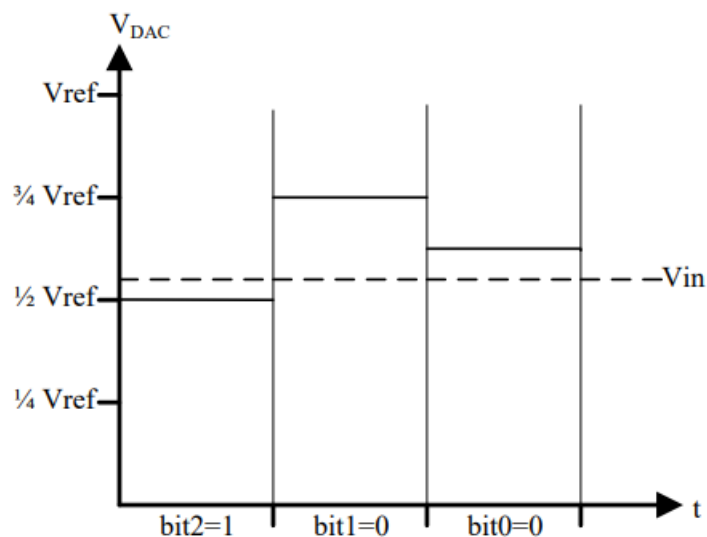


图 3.2 传统的 3 位逐次逼近 ADC 的 DAC 输出电压

图 3.2 是一个传统的 3 位逐次逼近模数转换器逐次逼近过程中 DAC 输出电压的示意图，X 轴表示时间 (t)，Y 轴表示 DAC 输出电压 (V_{DAC})。第一个转换周期，

SAR 置为 100，DAC 输出 $1/2 V_{ref}$ ，由于 $V_{in} > 1/2 V_{ref}$ ，所以 $bit2 = 1$ ；第二个转换周期，SAR 置为 110，DAC 输出 $3/4 V_{ref}$ ，由于 $V_{in} < 3/4 V_{ref}$ ，所以 $bit1 = 0$ ；第三个转换周期，SAR 置为 101，DAC 输出 $5/8 V_{ref}$ ，由于 $V_{in} < 5/8 V_{ref}$ ，所以 $bit0 = 0$ ；最终转换结果（即 SAR 的值）为 100。

本实验与传统的开关切变方式不同，采用单调式开关切变方式，如图 3.3 所示。

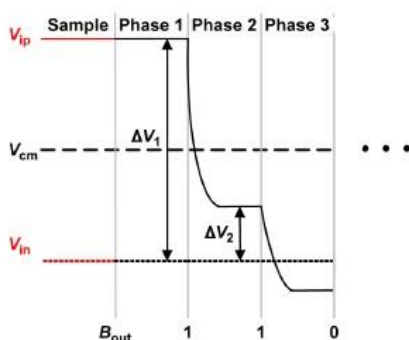


图 3.3 单调式 3 位逐次逼近 ADC 的 DAC 输出电压

本实验的 SAR ADC 整体框图如图 3.4 所示。

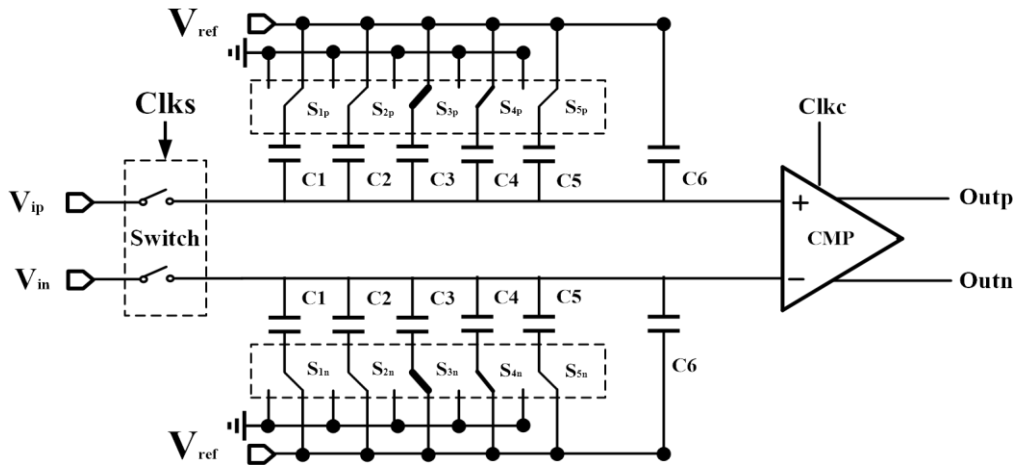


图 3.4 SAR ADC 电路框图

实际电路图如图 3.5 所示。

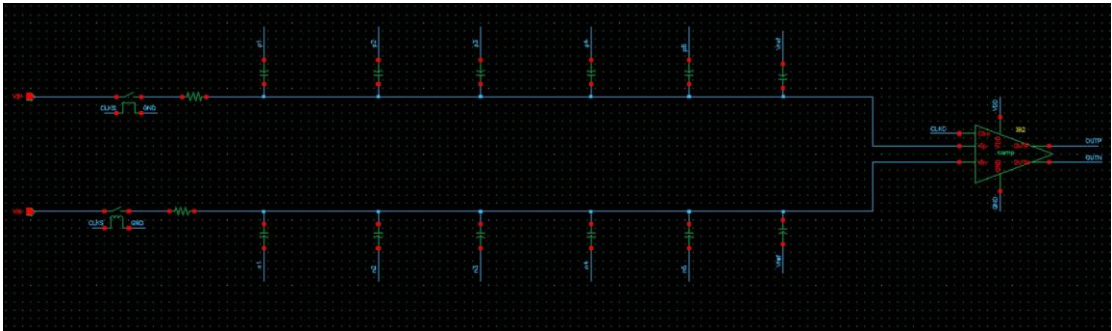


图 3.5 SAR ADC 实际电路图

该电路图中，开关使用的是 ahdLib 库中的 sw，其四个端口连接方式如图 3.6 所示，Vp 和 Vn 连接输入与电容，vctrlp 连接采样时钟 CLKs，vctrln 接 GND，另外在电容和开关 vn 之间还需要添加一个 200 欧的电阻。

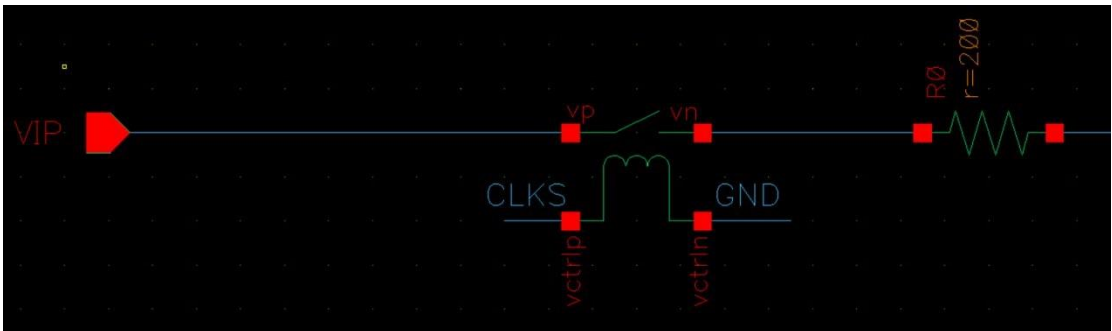


图 3.6 采样开关电路

开关参数设置如下：



图 3.7 采样开关参数设置

电容阵电路如图 3.8 所示，我们这里选取的单位电容 $C_0=10\text{fF}$ ，电容可用理想

电容，调用 analogLib 库中的 cap 类型，如图 3.9 所示。因此最高位电容为 160fF ，注意只有前五个电容的下极板需要接电平切换开关 S1—S5，最后一位配平电容下极板接 Vref。

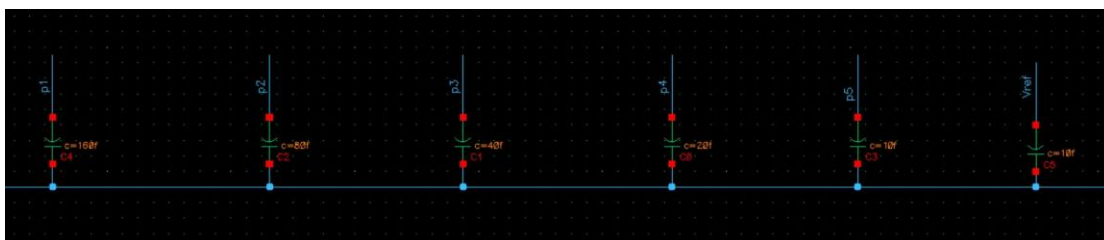


图 3.8 电容阵电路

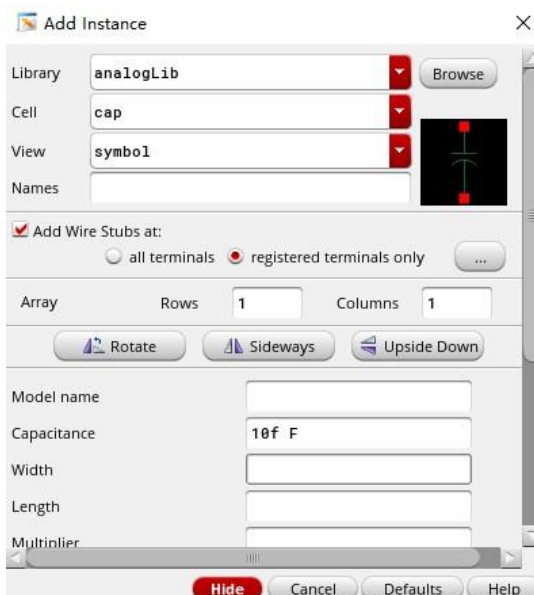


图 3.9 调用理想电容

其中，p1-p5 接 DAC 逻辑电路的输出 s1-s5，n1-n5 接 DAC 逻辑电路的输出 s6-s10，使 DAC 逻辑电路作为开关，对电容进行电平切换。

电路测试

1、 直流电平测试

电路连接完成以后，先对电路的正确性进行验证，仿真环境设置如：CLKIN 为一个周期为 10ns 的方波信号，VIP 和 VIN 为两个直流电平，Vref 为 1.2V 电压，具体设置如图 3.10-3.13 所示。根据仿真结果确定输入信号及电路图准确无误。

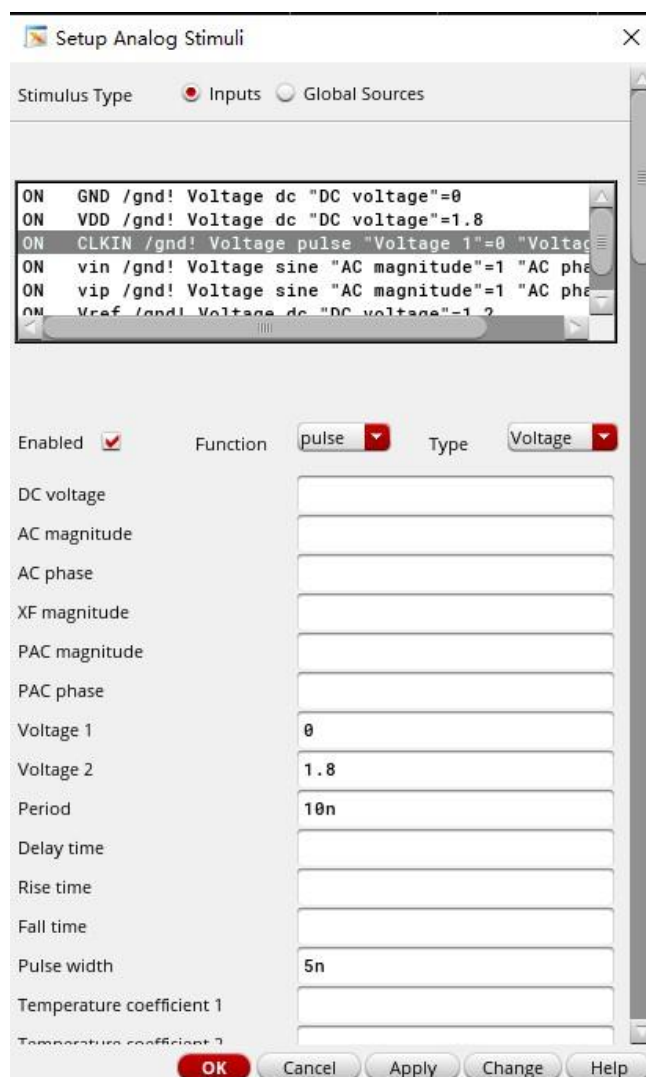


图 3.10 CLKIN 的参数设置

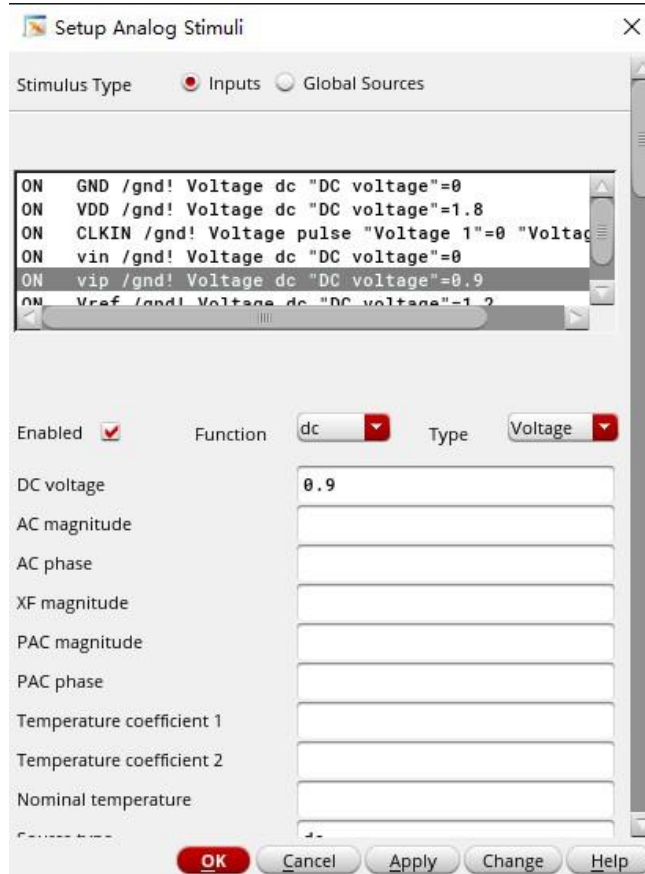


图 3.11 VIP 的参数设置



图 3.12 VIN 的参数设置

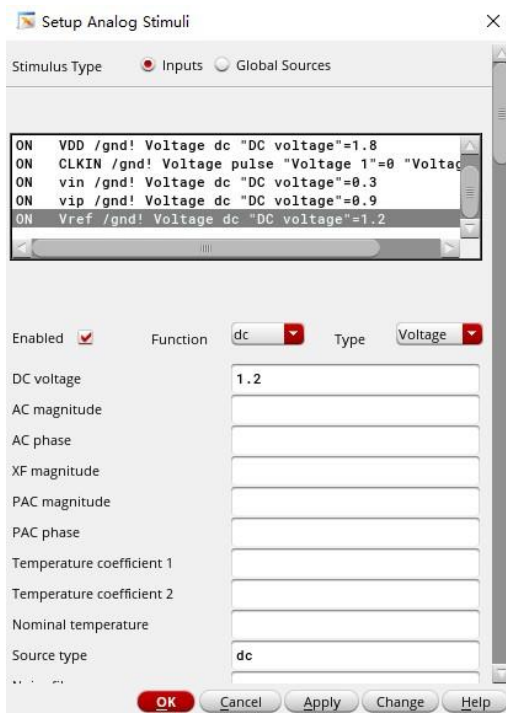


图 3.13 VREF 的参数设置

2、 加入理想模数转换器（DAC）测试

为了验证采样的完整性，我们在 SAR ADC 后面再加上一级理想模数转换器 DAC，将 ADC 输出的数字码再转成模拟波形，具体电路如图 3.14 所示。

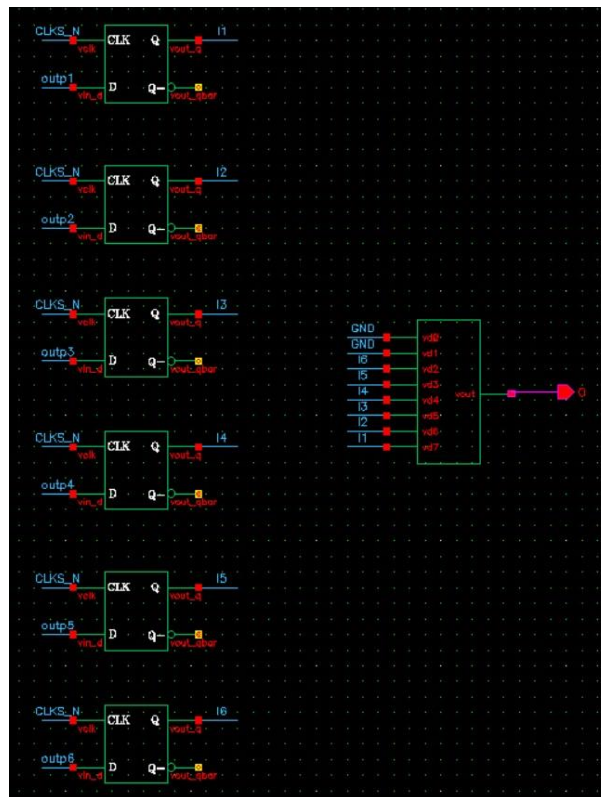
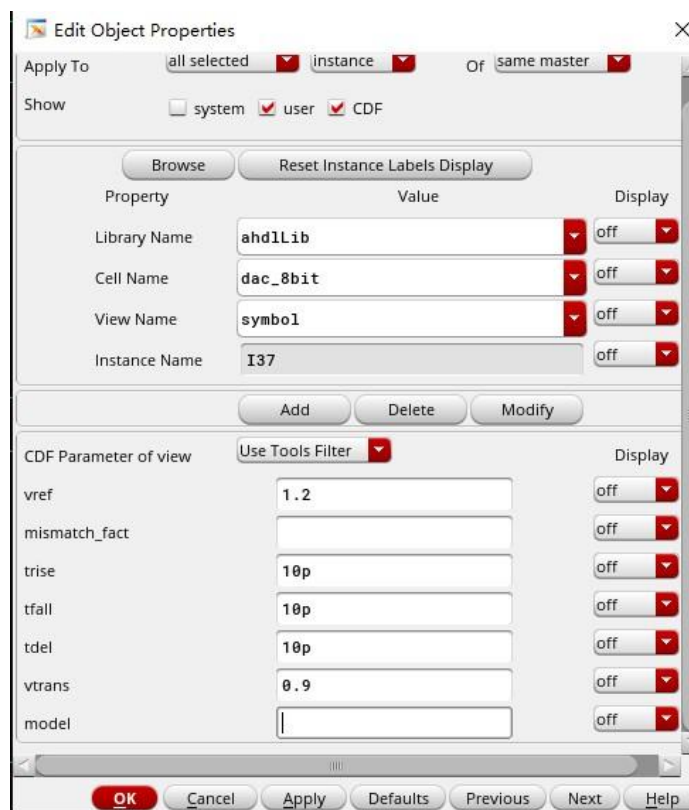


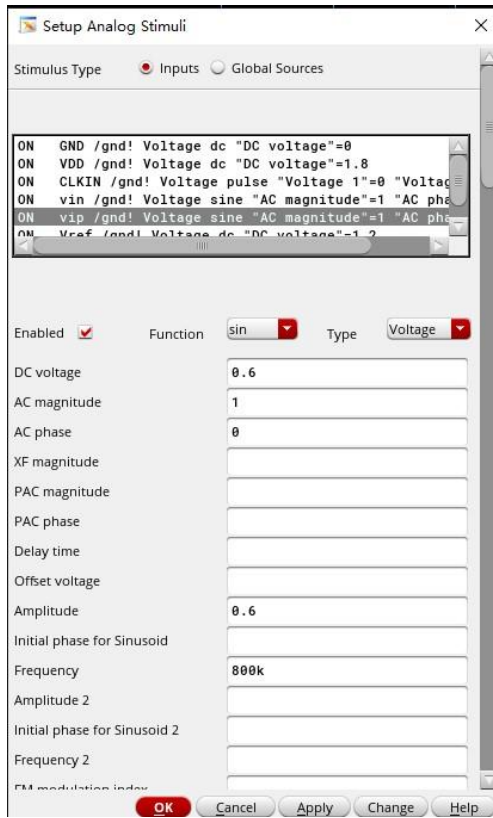
图 3.14 DAC 部分电路图

其中，调用的器件为 ahdlLib 库中的 d_ff 和 dac_8bit，具体设置参数如图 3.15-3.16 所示。



图 3.15 D-ff 参数设置





3.18 VIP 输入信号参数

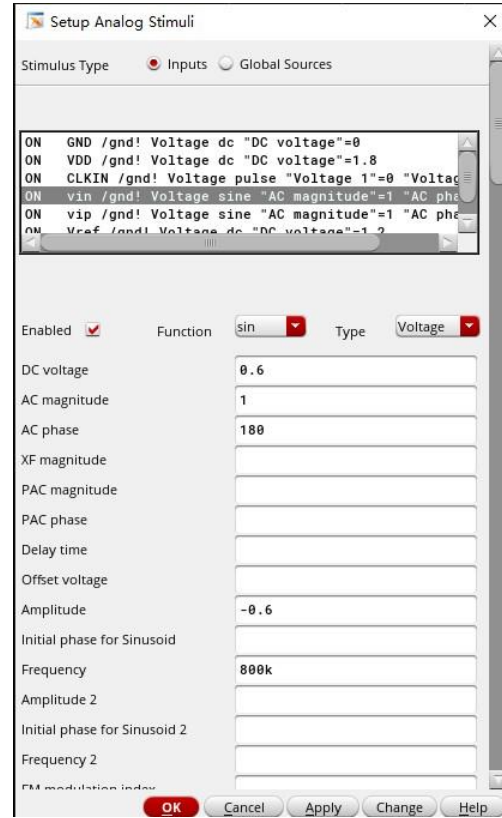


图 3.19 VIN 输入信号参数

仿真完整后，将输入波形与输出波形相对，可得仿真结果参考波形，如图 3.20 所示。



图 3.20 仿真结果参考波形

3、原理图及仿真

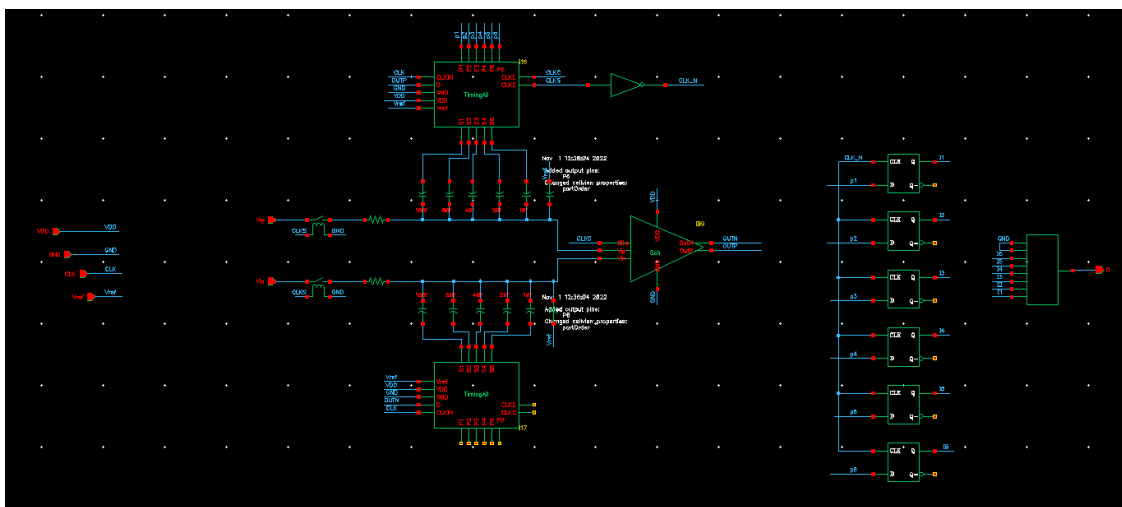


图 3.21 ADC 整体原理图

整体原理图分为三部分构成，位于图上下方的是时序电路和电容电平控制电路，图中间的是电容阵比较器电路，图右方的是输出 DAC 电路。

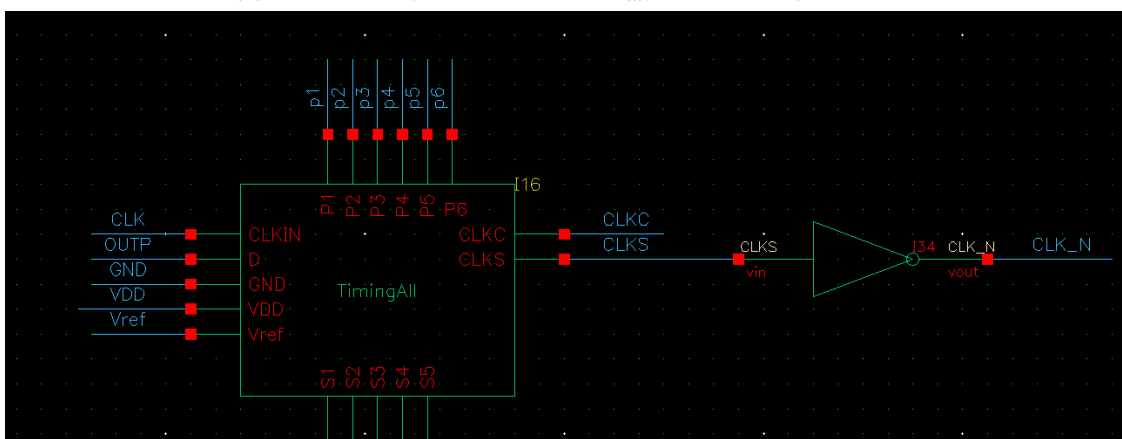


图 3.22 时序电路和电容电平控制电路

我将实验二中的时序电路和电容电平控制电路整合在一个 Symbol 内，图 3.23 是它的内部原理图。

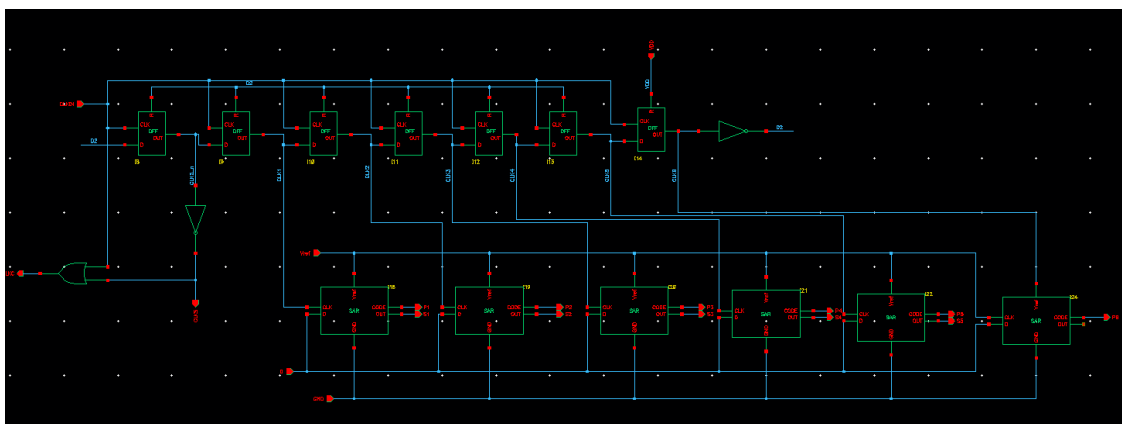


图 3.23

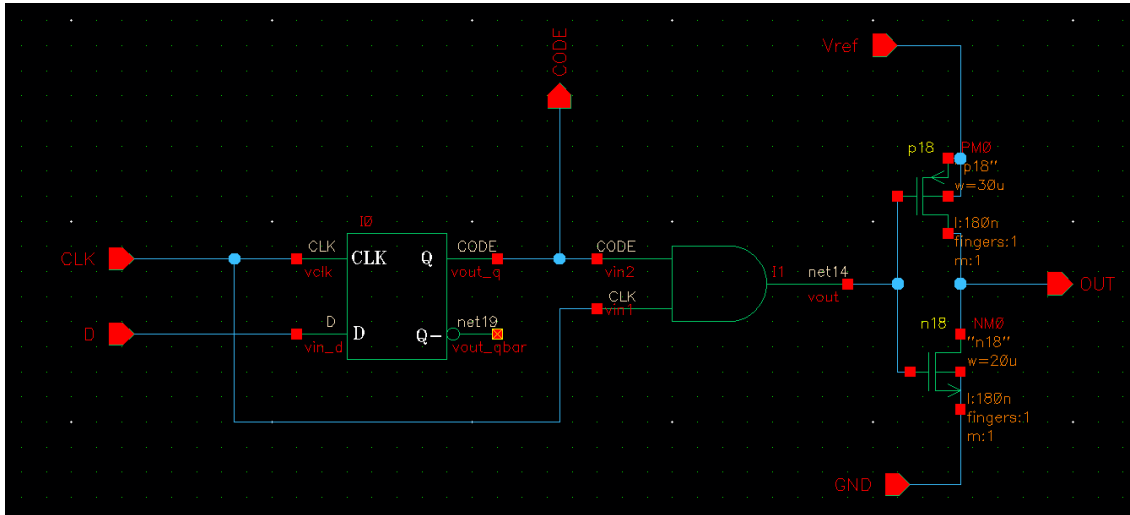


图 3.24 控制电容电平 DAC 原理图

通过时序电路控制当前时钟周期决定切换哪一个电容的电平，而连接比较器的输出，则保证了同一时刻上下电容阵只有一边会切边。切换电容电平在时钟的上升沿，这样设计不会和在时钟低电平工作的比较电路时序冲突。

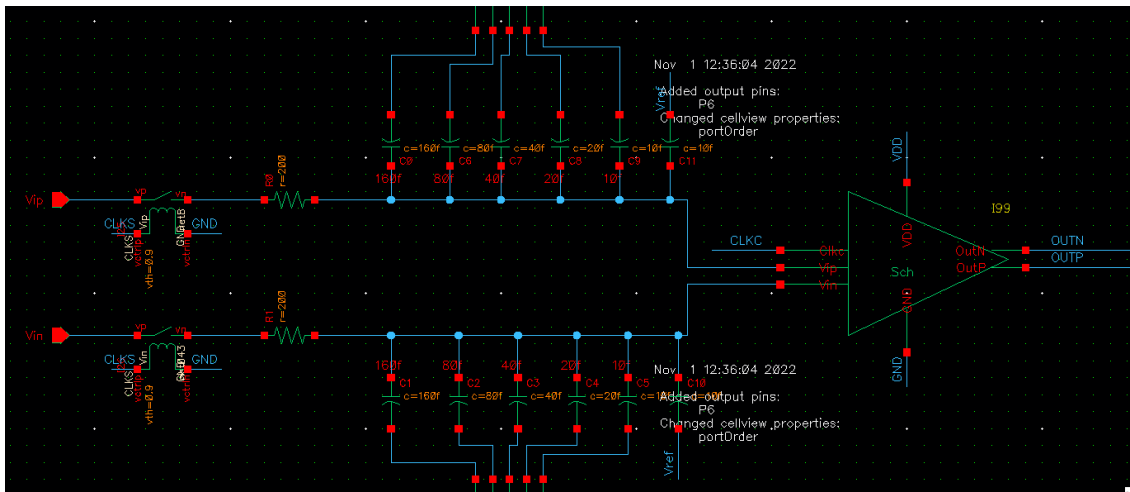


图 3.25 电容阵和比较器电路原理图

电容阵是逐次比较电路的核心。通过控制开关保证在采样时间内，输入被断开。由于比较器输入阻抗很大，在转换时间上电容阵的下极板（下电容阵的上极板）视为断路，因此转换时间内其总电荷量不变。

现分析该电容阵工作原理，以上电容阵为例，在某一时刻，电容阵可看作一部分电容 C_{pG} 在 V_{ip} 和 GND 之间，一部分电容 C_{pr} 在 V_{ip} 和 V_{ref} 之间。极板电荷量为：

$$Q = V_{ip}C_{pG} + (V_{ip} - V_{ref})C_{pr}$$

初始状态（电容全部接 V_{ref} ）有：

$$Q = (V_S - V_{ref})(C_{pG} + C_{pr})$$

其中 V_S 是需要采样的信号。

联立两式，解得 V_{ip} 和 C_{pG} , C_{pr} 的关系为：

$$V_{ip} = (V_S - V_{ref}) + \frac{C_{pr}}{C_{pG} + C_{pr}} V_{ref}$$

其中 $C_{pG} + C_{pr}$ 是定值，为电容阵电容之和。每次电容阵接入 V_{ref} 的电容量变化量，正比于每次对 V_{ip} 的修正。这也是为什么电容阵电容值逐渐变小，这样每次修改的电压幅度也在逐渐减小，精度在逐渐提高。

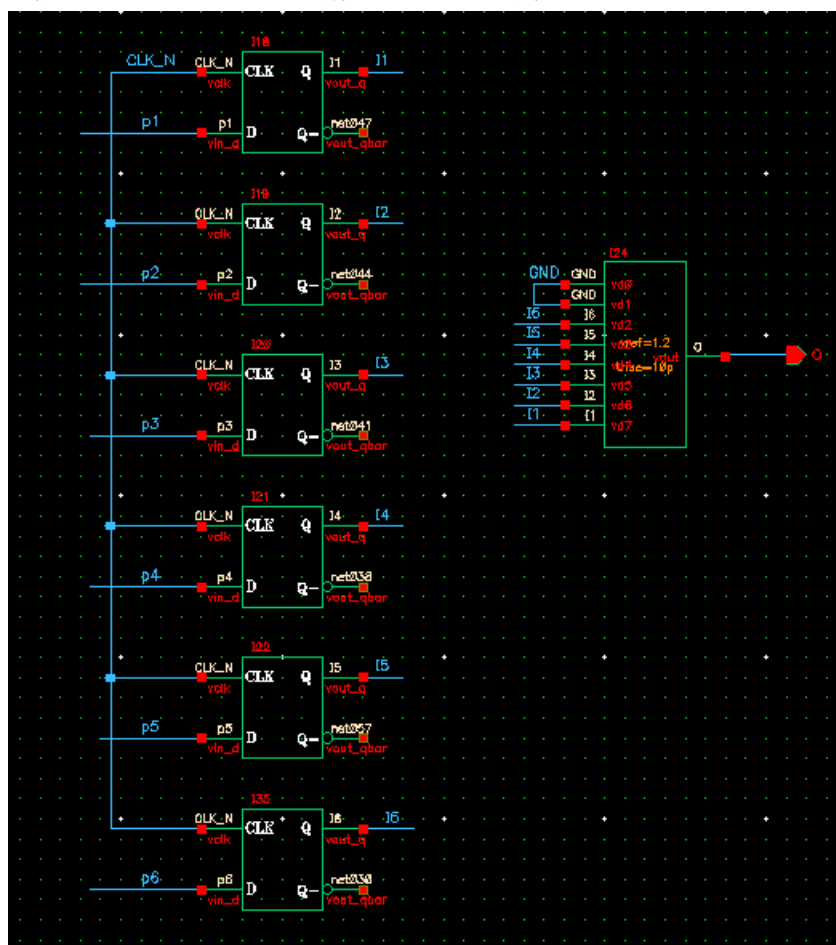


图 3.26 输出 DAC 电路

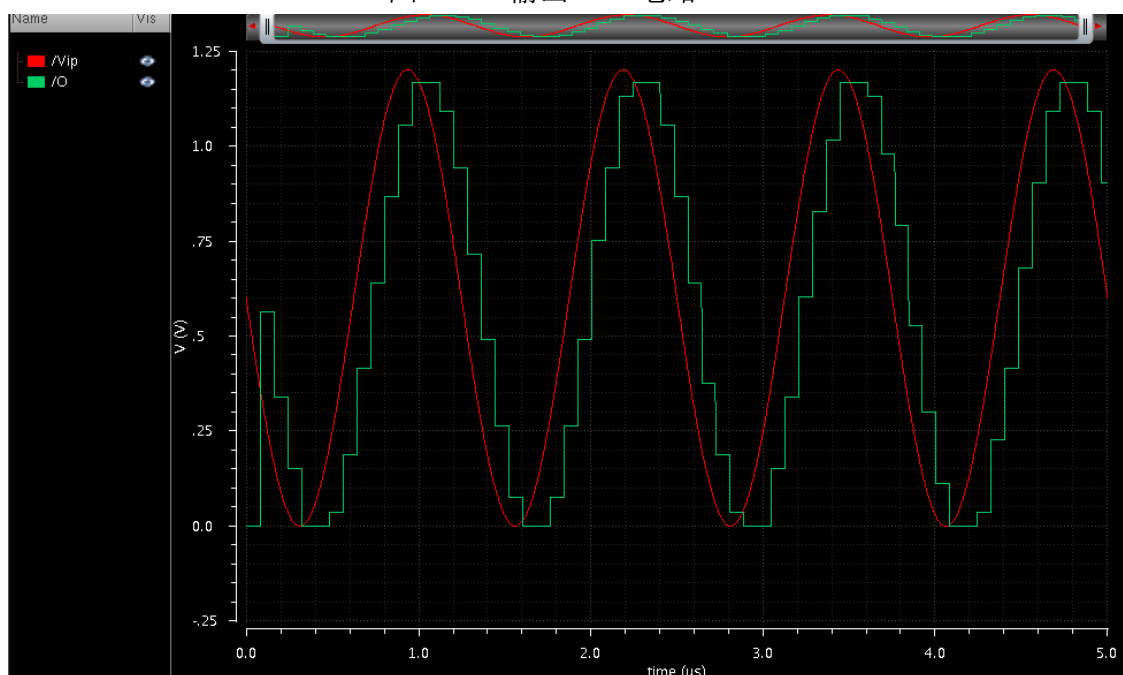


图 3.27 仿真结果

进阶部分

开关

不能直接使用单 MOS 作为开关，假设输入信号在 $0-V_{DD}$ 内，由于阈值电压的存在，在一定电压范围内不能正确打开，因此需要 CMOS 结构，互补结构弥补了相互的电压范围。

使用 CMOS 反相器和 CMOS 传输门电路构成开关：

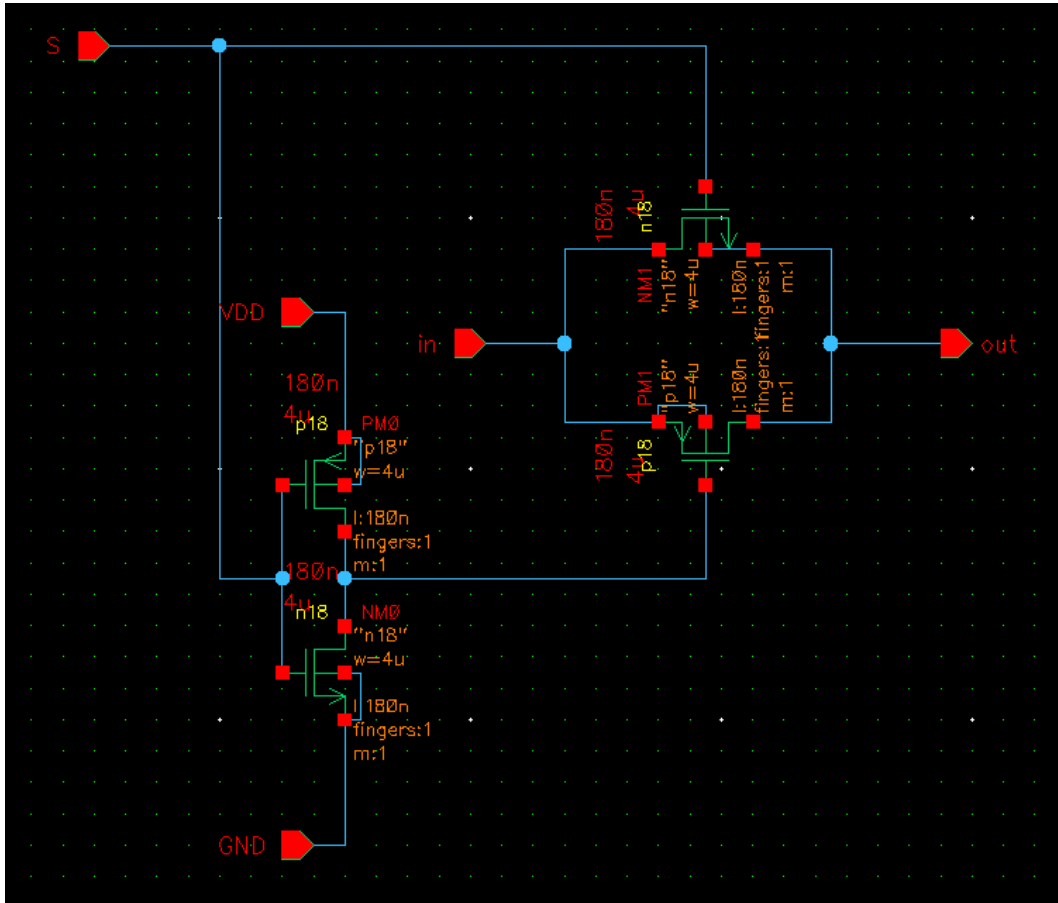


图 4.1 CMOS 双向开关

对 CMOS 双向开关进行测试，S 端连接时钟信号，in 输入端输入正弦信号，out 端连接下拉电阻。当开关断开时，输出端下拉到 GND，开关闭合时，输出等于输入的正弦信号。

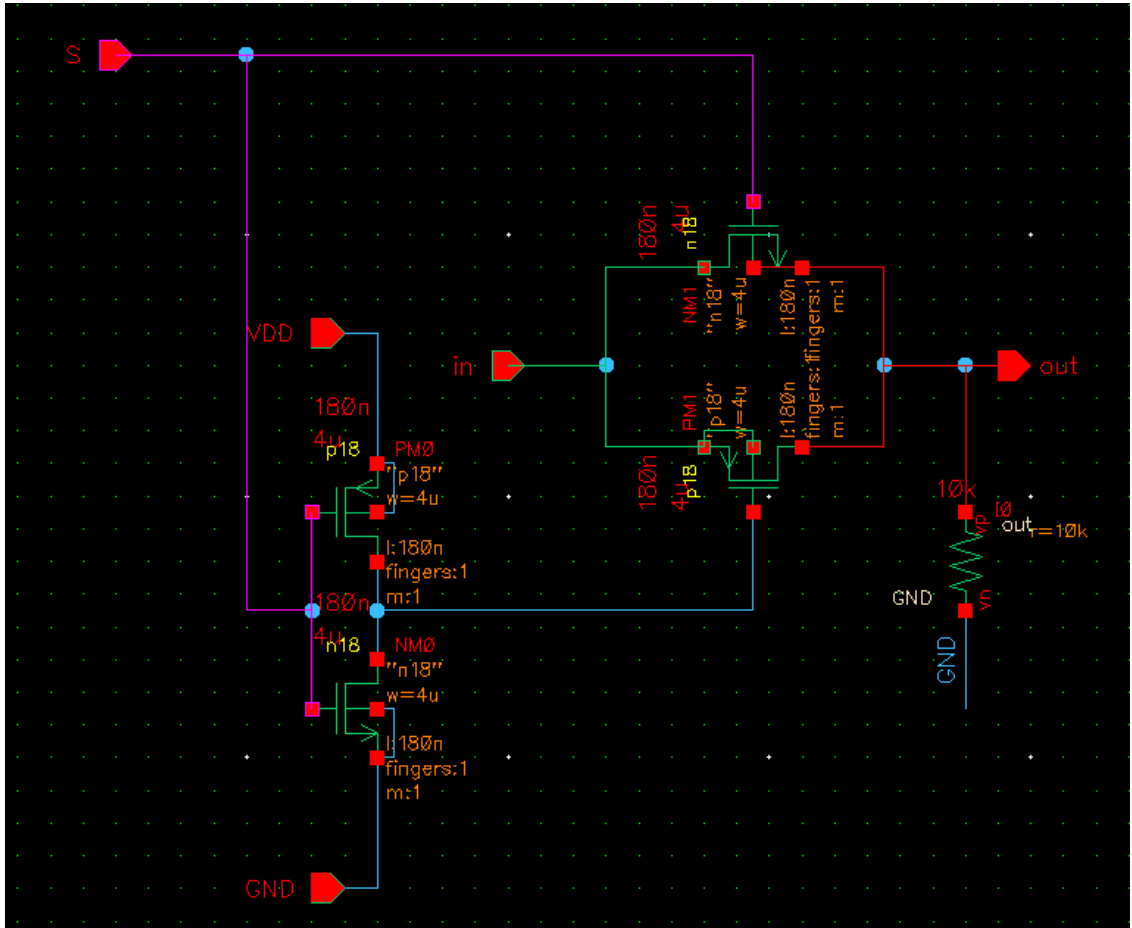


图 4.2 测试电路

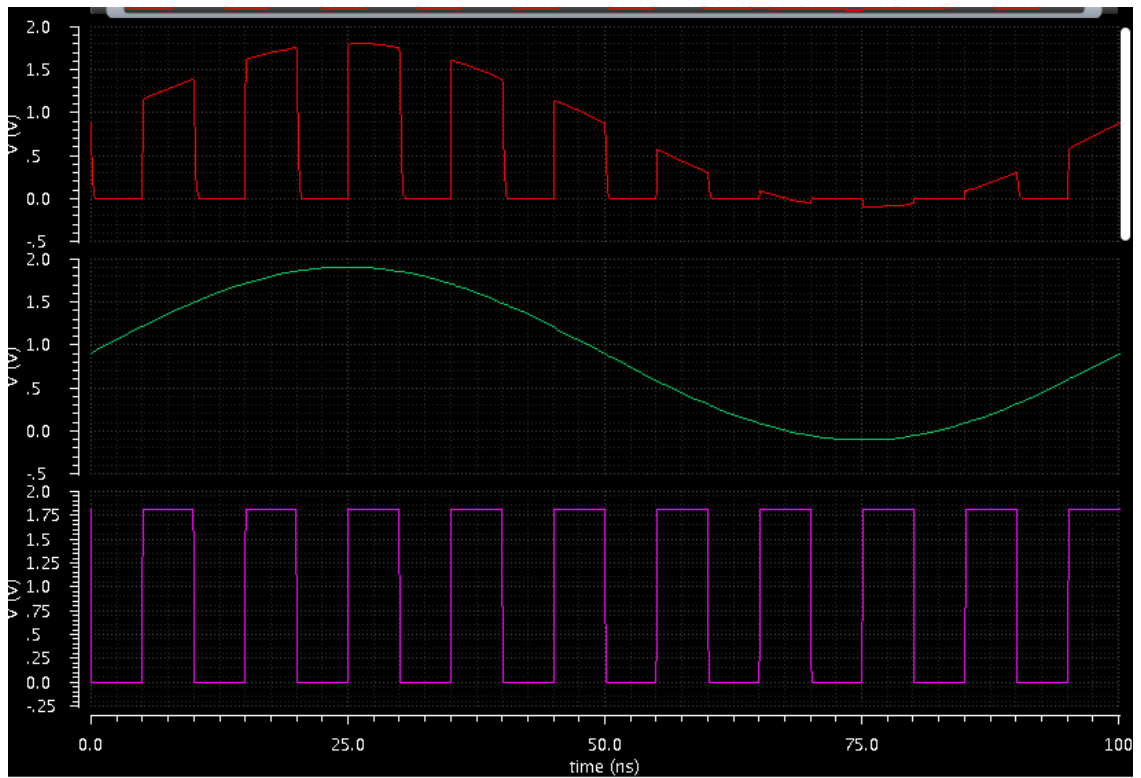


图 4.3 测试波形

将实验三 ADC 的理想开关替换为 CMOS 开关，原理图和仿真波形如下。

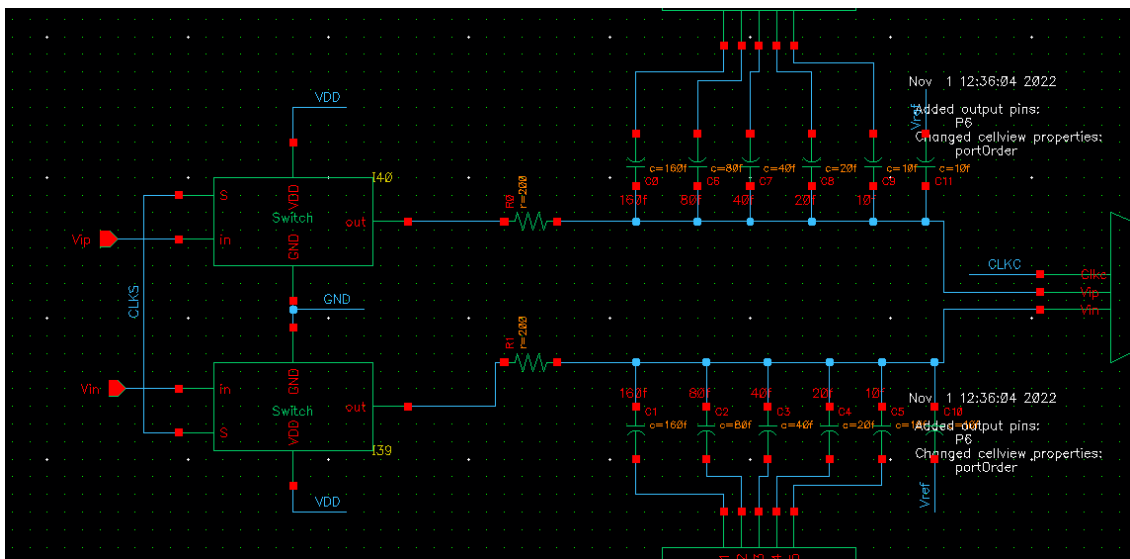


图 4.4 原理图

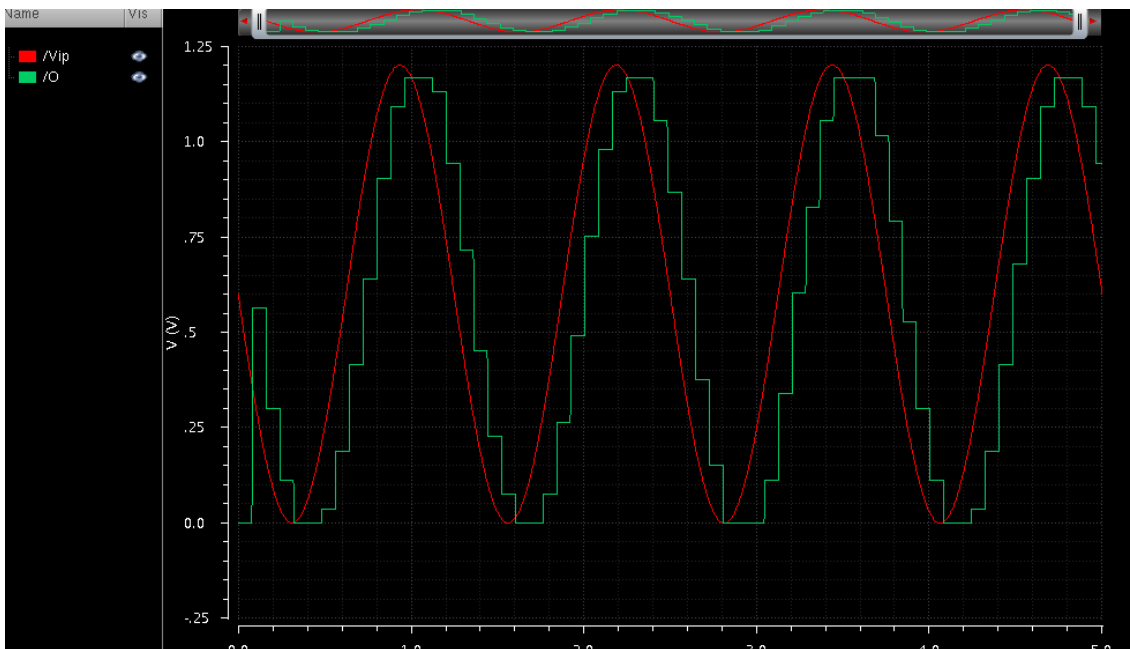


图 4.5 仿真波形

D 触发器

为了储存一个状态，两个反相器构成环路构成双稳态电路。

为了能够写入状态，使用双向开关控制接通/切断环路。

为了使信号在边沿变化，设计两级电路，一级采样电路，一级锁存电路。

为使信号在上升沿触发，因此在时钟为低电平时，锁存电路切断回路，采样电路向锁存输入信号；时钟在高电平时，采样电路和锁存电路间断开，锁存电路接通回路，更改状态。

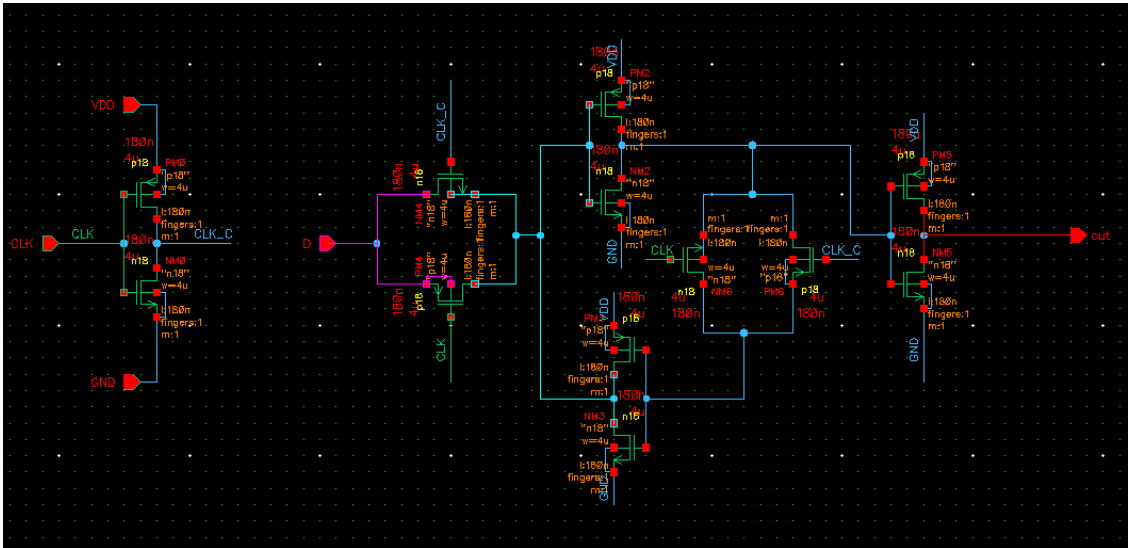


图 4.6 第一版电路

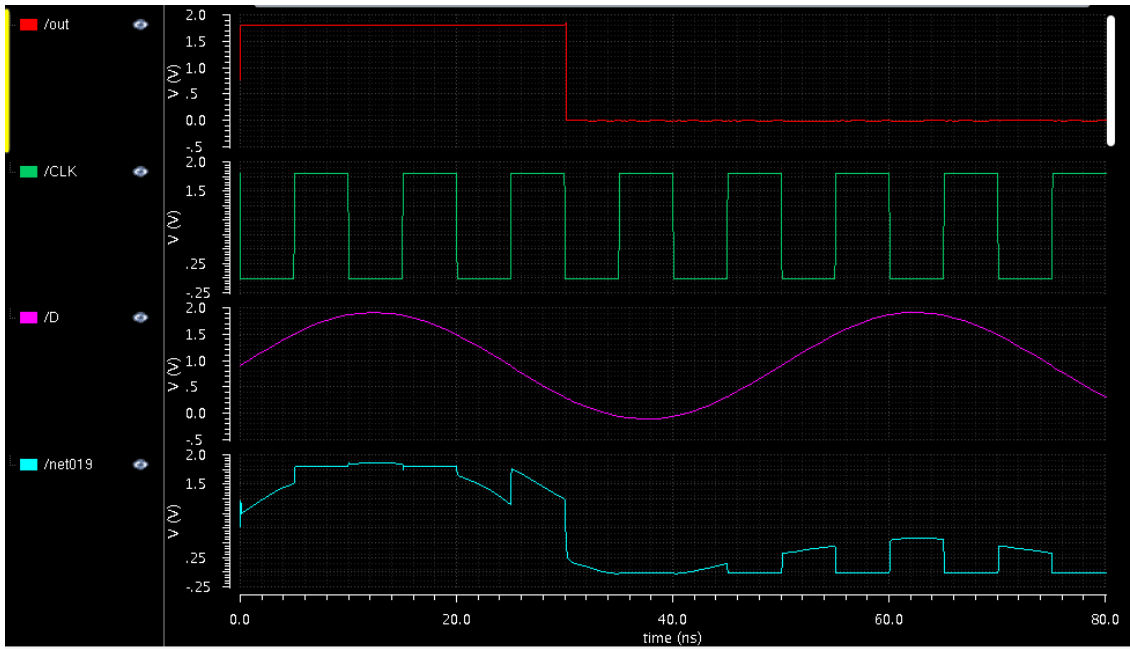


图 4.7 仿真结果

第一版电路如图 4.6 所示。

使用正弦信号²作为 D 的输入端，得到结果如图。

设计思路是，双稳态电路的输入用开关控制，当低电平时，双稳态输入开关导通，双稳态环路断开，设置双稳态电路状态点；而当高电平时，双稳态输入开关断开，环路导通，则完成了采样和触发的过程。

但是实际观察双稳态的输入（设置状态极，蓝线），即使在低电平时，信号也无法达到原本的输入正弦信号。推测应当是即使双稳态环路断开时，也不能单纯将第一个开关的输出看作悬空，双稳态电路拉低了输入信号。这么一看，双稳态环路的输入阻抗还比较小。具体来说，是 CMOS 反相器的输出阻抗低，拉低了双稳态环路的输入阻抗。

² 一般来说 D 触发器的输入都是数字信号，这里只是用模拟信号测试。

因此第二版电路将切断环路的开关放在了前面，切断了低电平时反向器的输出端和前级电路的连接。

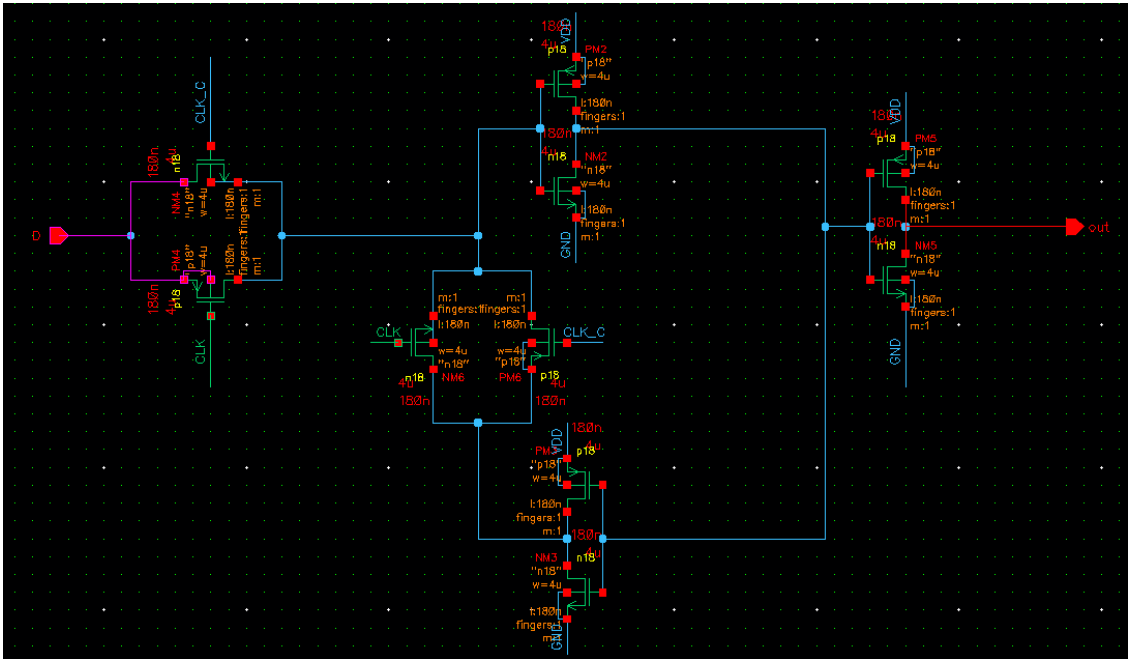


图 4.7 第二版电路

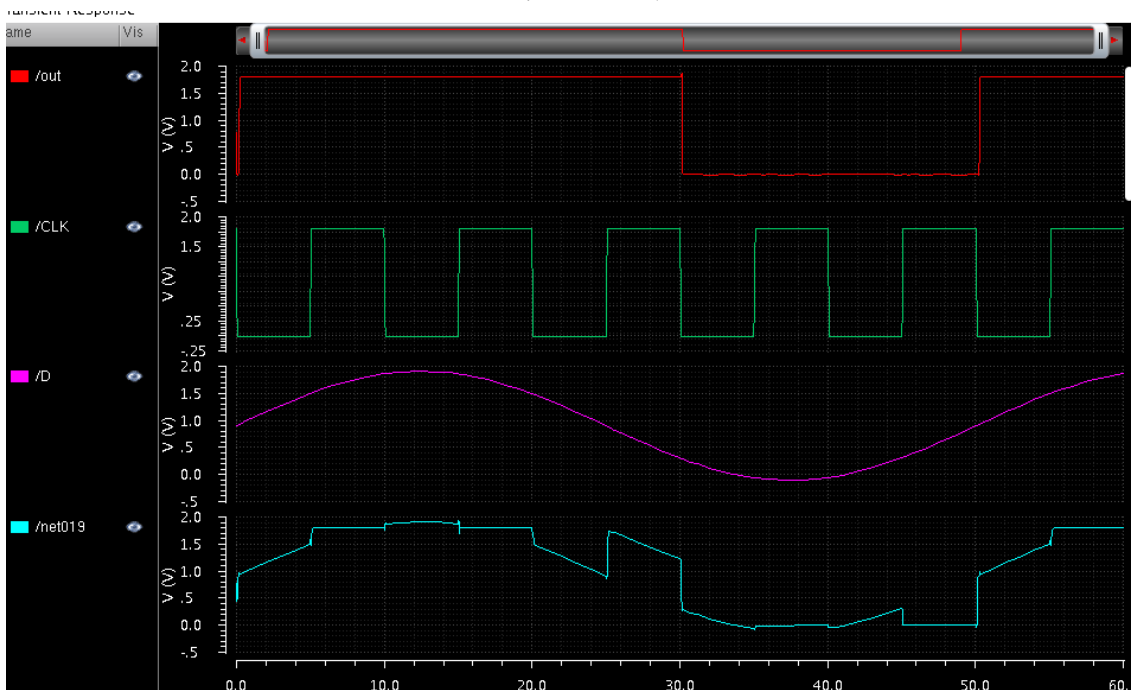


图 4.8 仿真结果

这一次观察双稳态设置端的输入（蓝线），没有被拉低能够达到输入信号的幅度了。但是仔细观察，在双稳态环路接通（高电平）时，双稳态电路没有工作在工作点上。输出也是在下降边沿跳变。

考虑当时钟处于低电平时，相当于输入通过两个反相器直接连到输出端了。

推测无法时双稳态环路正常工作的原因时设置的信号幅度过小³，因此在前一级增加反相器提高输入信号的幅度，为保证逻辑正确，在 D 输入端也相应加一级反相器，并用开关隔开双稳态和输出端。

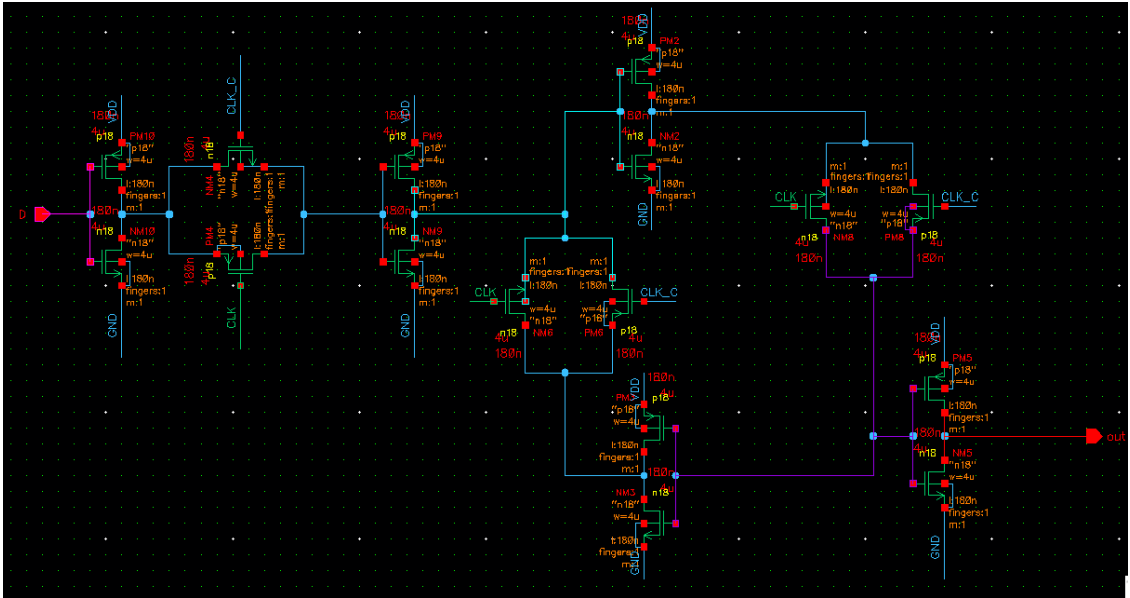


图 4.8 第三版电路

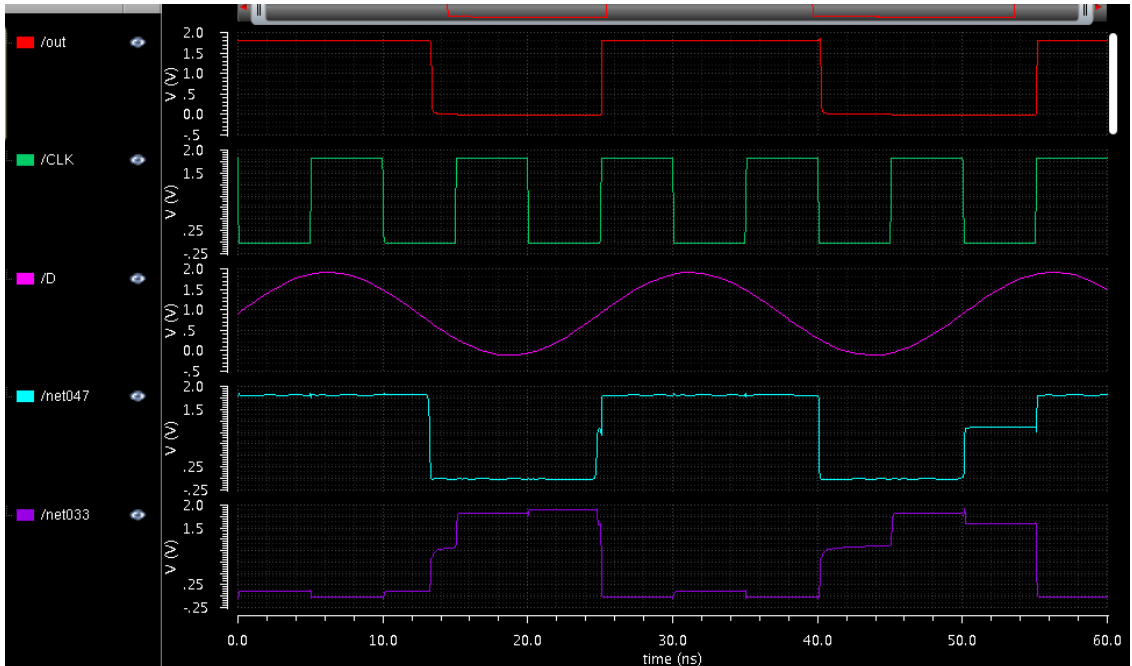


图 4.9 仿真结果

输出信号还是有的上升沿有的是下降沿变化。仔细观察双稳态环路中的电平（蓝线和紫线），发现在时钟低电平时，双稳态工作在稳定的，这是正确的，但在低电平时，没有在稳定点。仔细想想此时环路切断，输出时悬空不定的。终于将双稳态的意义想明白了，双稳态环路是为了储存一个状态⁴，这个双稳态环路只在时钟为高电平时储存了状态，低电平是不定的。因此再引入一个双稳态环

³ 不过理论上环路增益大于 1 的话，再小的信号都能成功设置。

⁴ 电容也能储存状态，为什么不电容呢？我的思考是电容是无源器件，其保持状态的能力不足。

路，在时钟低电平时储存状态。为了保证只在上升沿触发，这个双稳态电路稳定点由前一个双稳态电路设置，这就是所谓的主从式触发器啊⁵！

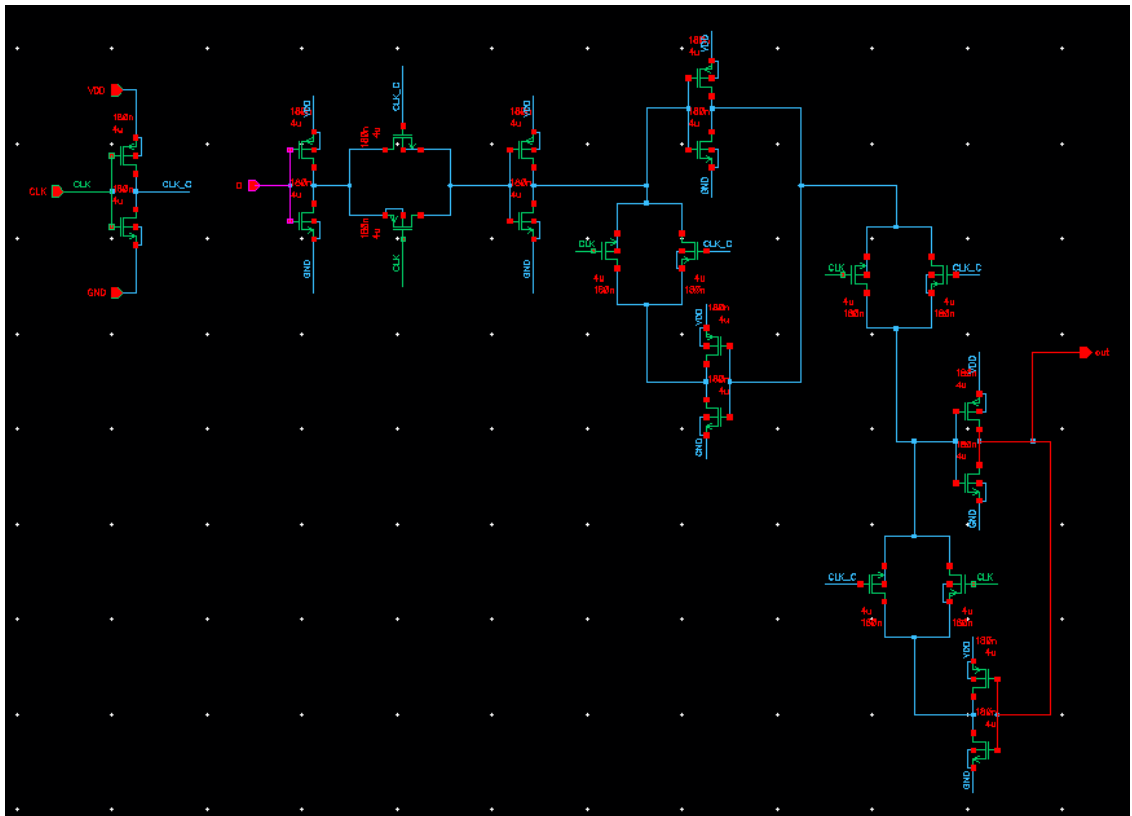


图 4.9 第四版电路

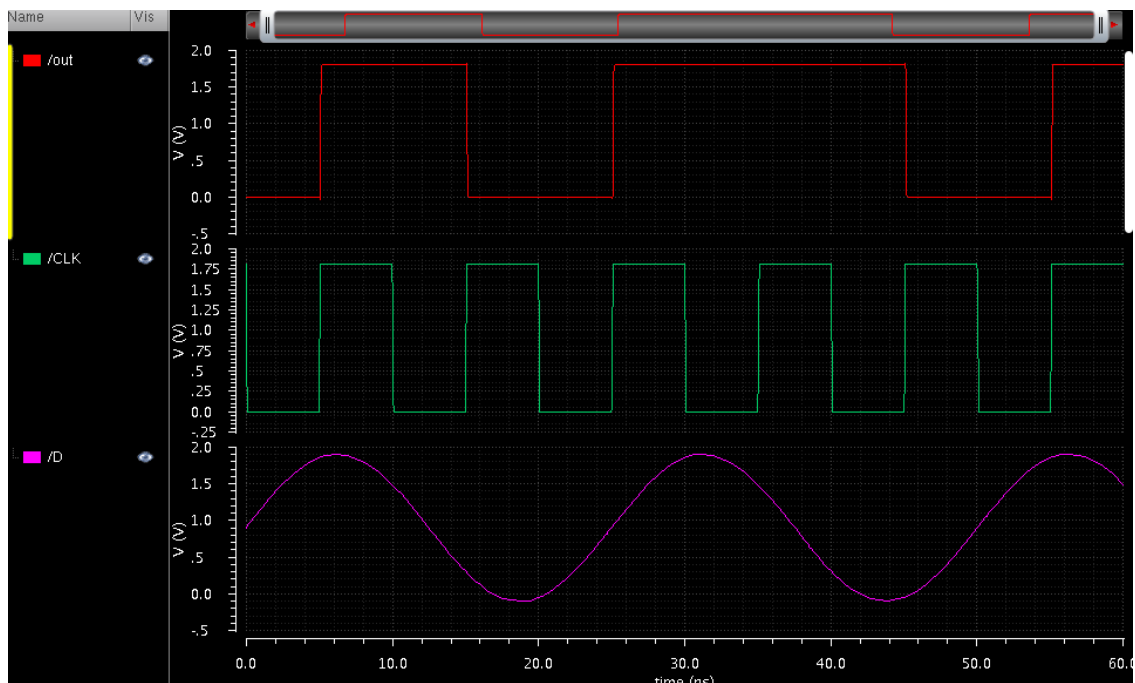


图 4.10 仿真结果

终于成功在上升沿触发！

⁵ 如果不由前一个设置稳定点，双边沿触发器也做出来了。

做成 Symbol，简单地搭一个移位寄存器测试一下。

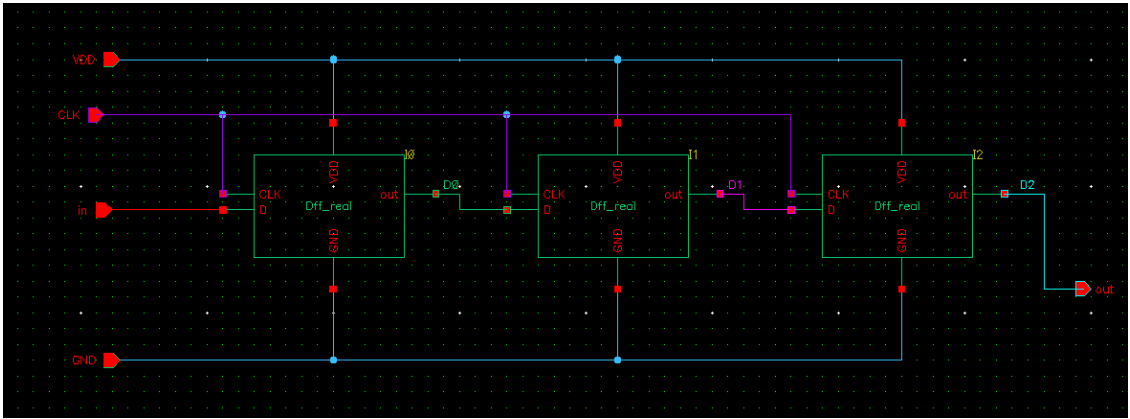


图 4.11 测试原理图

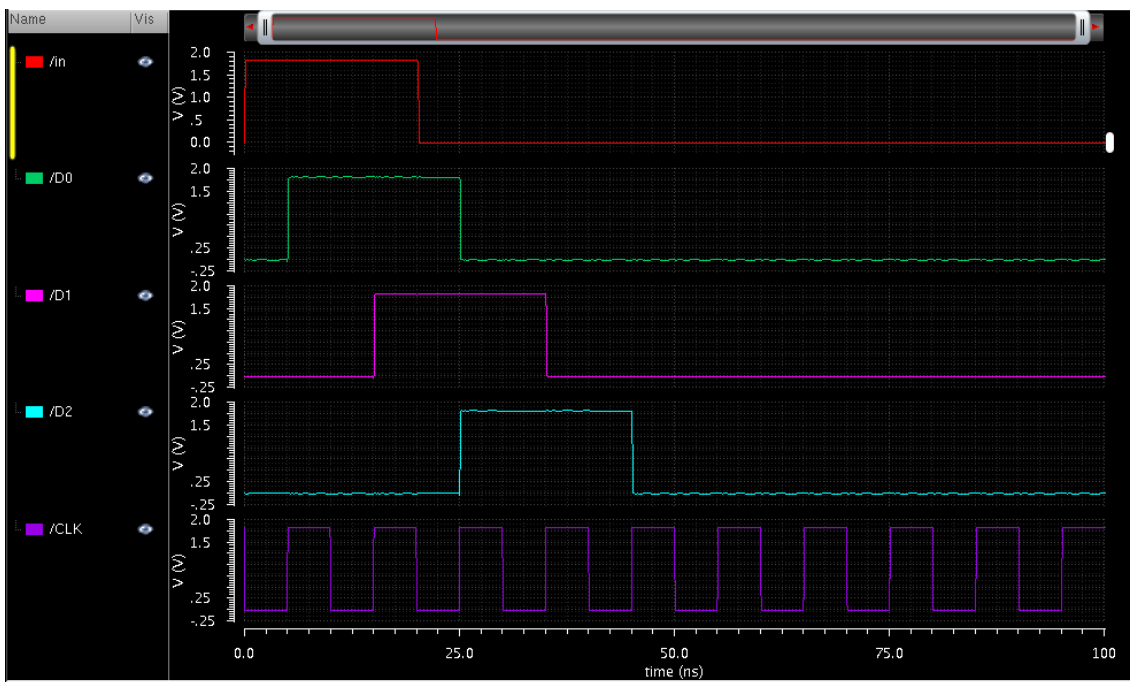


图 4.12 测试波形