

《集成电路设计实践 II》调研报告

当模拟芯片遇上人工智能

05022007 杜书丞 1120202163

摘要—随着人工智能的快速发展，对于硬件算力的需求也随之水涨船高，AI 芯片成为当前热门领域。抱着对于人工智能芯片极大的兴趣，我选择了“模拟集成电路在人工智能领域的应用”作为本次调研的主题。本文将围绕数字芯片和模拟芯片在人工智能领域的对比以及 AI 芯片的特殊结构来简要阐述。尽可能将自己现有的知识储备和文献内容结合，达到学习吸收的目的。

看到这个选题时，我眉头一紧——AI 芯片都离不开高算力的根本需求，可根据日常学习的经验，运算常常采用数字集成电路实现，模拟集成电路怎么和人工智能挂上勾呢？不过转念一想，我对于模拟芯片和数字芯片之间的差别也不是非常熟悉，仅限于课堂上简单的介绍，实践中对二者知之甚少。那么借这次调研，我想好好搞明白数字和模拟芯片应用上的差异，以及应用于人工智能领域芯片的特殊结构。

I. AI 芯片大家族

AI 芯片五花八门，凡是广义面对 AI 计算服务的都可称为 AI 芯片。主要可以分为三类，高效支持 AI 应用的通用芯片，如 GPU 和 FPGA；专门为 AI 开发的定制芯片，如 DPU、ASIC；模拟生物神经元形态结构的芯片，与前者主要区别是不使用传统的冯·诺伊曼结构。

这次调研的三篇文献，*Hardware Spiking Neurons Design: Analog or Digital?*[1] 和 *Wafer-Scale Integration of Analog Neural Networks*[2] 属于模拟生物神经元形态结构的芯片。*ISAAC: A Convolutional Neural Network Accelerator with In-Situ Analog Arithmetic in Crossbars*[3] 介绍了针对 DNN 和 CNN 神经网络算法提出的模拟芯片设计方案。

II. 模拟 OR 数字？

对比数字芯片和模拟芯片，数字设计更简单，但模拟使用的面积和能耗更低。*Hardware Spiking Neurons Design: Analog or Digital?* 中通过 LIF (Leaky

Integrate-and-Fire model) 神经元模型下数字实现和模拟实现的对比论证了这一观点。

文章详细给出了数字和模拟实现的拓扑电路/系统结构，仿真结果以及版图设计。不过我看不懂，只能直接介绍文章得出的结论。

| | Analog neuron | Digital neuron |
|--------------------------------------|---------------|----------------|
| Core + comparator area (μm^2) | 120 | 538 |
| Core + comparator energy (pJ/spike) | 2 | 41 |
| Max. spike rate (Mspike/s) | 1.9 | 1.9 |

图 1. LIF 模型，65nm 节点工艺下，模拟和数字的对比

通过图 1 可见，在 65nm 节点工艺下，模拟集成电路的面积是数字的大约四分之一，而能耗是数字的二十分之一。面积和能耗得到了惊人的提升。不过文章进一步指出，就但从 LIF 神经元模型来说，模拟和数字的相对优势和节点工艺有关。当节点来到 22nm 时，二者面积-栅极长度曲线相交。

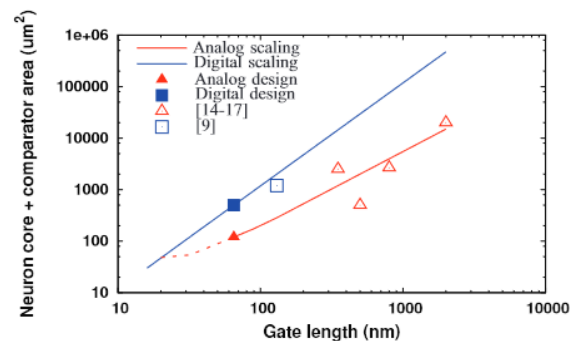


图 2. 制造工艺节点-面积大小

但从 LIF 模型推广，虽然各家厂商给出的工艺节点标准不一。但即使是定义最为保守的 Intel 公司，今年最新一代产品酷睿 13 也采用了 7nm 工艺。这似乎意味着，在较低工艺下，模拟集成电路有着能耗和面积上的优势，而在最高端芯片上，模拟集成电路的优势消耗殆尽并不如数字集成电路。

至于为何在较低工艺下二者能耗和面积有着如此之大的差别，而在高工艺下优势又逐渐消失。我并不理解。不过用模拟器件实现特定的方程有着便利的优势，即使需要使用占用面积较大的电容，也会减少面积，是解释低工艺下模拟性能提升的一个原因 [1]。而我将接下来的小节中着重阐述这一点。

III. AI 芯片的特殊架构

模拟器件在实现某些特定方程上具有独特的优势——三篇文章都不约而同地提到了这一点。这很好理解，毕竟现实世界中并不存在数字信号，用模拟器件去处理模拟信号是非常自然的事情。特别是前文中提到，一类 AI 芯片是基于对神经元形态结构的模仿，便更好地理解这一点了。

介绍应用于 DNN 和 CNN 神经网络学习芯片的文章并没有看懂，不过根据反复出现的几个关键词，我猜测大意是通过矩阵乘法的并行达到加速的目的，而这又通过改变存算结构¹来实现。而模拟器件在“crossbar”的开销上有着一定优势。

剩下的两篇文章中有一个词反复出现——analog neurons，这里 analog 不取数字对立的含义，而是动词。analog neurons 是模拟大脑神经结构的基础结构。LIF 模型是对现实中神经元形态结构的一个电路模拟模型。其拓扑结构如图 3 所示。



图 3. LIF 模型拓扑结构

这个拓扑结构和我之前所认知的常用神经网络 ANN、CNN 等有些类似，但又增加了 Leaky Integration 层，并且 LIF 模型在学习人工智能导论课程时也未有所听闻。查阅资料得知，这是 ANN 下一代神经网络——SNN 脉冲神经网络其中之一的模型。相比 ANN 从神经元结构启发抽象得到，SNN 则是对于神经元生物学结构的更进一步模拟，不过对于 SNN 的研究尚处于较早阶段，对于该思路是否能有效提高神经网络效能仍存在争议。

¹上一次调研报告正好做的是关于存算一体的调研。

另外，ANN 的输入输出是数值，而 SNN 的输入输出是脉冲序列，这是否在一定程度上意味着用模拟器件有更好的模拟效果？

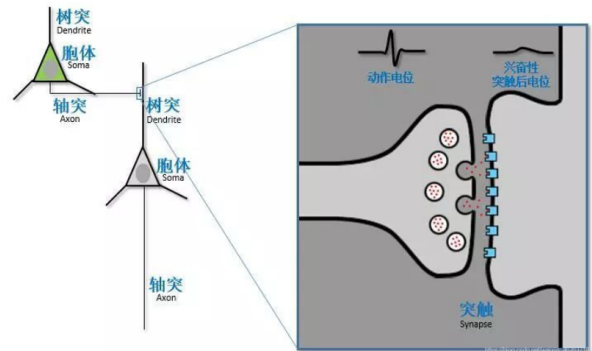


图 4. 神经元结构示意图

接下来对 LIF 模型作简要介绍。如图 4 所示，神经元由树突-胞体-轴突三部分组成，神经元和神经元之间通过突触结构连接。对于一个神经元来说，输入信号是突触结构上一个神经元的输出脉冲，接着信号以动作电流的形式沿着神经元传导，该过程由细胞膜上 K、Na 离子的释放和吸收所实现²。一方面电流沿着神经元传导，另一方面细胞膜表面积攒电荷，一部分电流也漏出细胞膜，也就是 LIF 的 Leaky。这个过程可以类比于同轴导线，信号（电磁场）一方面沿着波导传波，另一方面同轴导线也可看作电容器，存在漏电流。这样便很自然地能理解用电路元件电容电阻等模拟神经元了。另外但从数学模型上看，Integration 积分——也对应了电容的电压电流关系。

若考虑 K、Na 离子释放吸收对于电流的影响，可进一步将 LIF 模型修正为 GIF 模型。

IV. 总结

模拟集成电路在基于模仿生物神经元形态结构的 AI 芯片设计上有着独特的优势。另外模拟集成电路在特定的情况下功耗和面积优于相同结构的数字集成电路。

V. 心得体会

A. 调研方法

《集成电路设计实践 I》调研报告是我第一次查阅英文文献库，学会了如何通过引用数、影响因子、分区判断文章的水平，以及接触到了 Google 学术等好东西。

²许久没接触高中生物的知识了。

这一次《集成电路设计实践 II》调研在检索文献上学到了新东西。先前只是简单地在搜索引擎上检索关键词，但搜出来的东西很少符合调研的内容，对于调研领域发展前沿效果就更差了。一种方法是在 Wiki 百科上搜索相关词条，词条往往带有标志性论文出处，但对于尚未建立详细词条内容的，这个方法就行不通了，比如这次的模拟芯片和人工智能的结合。于是这次转变了思路，先不局限于模拟芯片，扩大范围检索 AI 芯片，这个有别人已经整理好的优秀论文集，在论文集中一篇篇检索“Analogy”关键词，找到一篇有提及的，再去看参考文献相关内容，一下子就找到了好几篇切题的文献。阅读好文献收获良多，阅读烂文献浪费时间，这也让我深感大学前两年一直在饱受知网的毒害。

其次令我感到欣慰的是，英文水平稍稍有进步，读起来比上次好一点点，但还是很折磨。不过上次只是理解内容就很吃力，对文献的调研仅限于了解新概念，写完就忘了自己写了什么，这一次能带着目的去过滤提取想要明白的内容，尽可能结合已学的知识去吸收一些东西。希望早日克服阅读英文的语言障碍吧！

B. 专业视野

这次调研还是存在着专业知识匮乏导致不能理解文献的问题。比如冯诺伊曼结构，只停留在名词而已，具体的学习可能要到《计算机原理》课程的开设，又比如文献中模拟集成电路的结构，可能要到《模拟集成电路》课程。

由于专业知识的匮乏³，又是对学科前沿的调研，注定了许多地方是看不懂的。想要一点点搞明白也不是不行，但会消耗大量的时间，同时知识断层吸收也是非常困难的，我认为是十分没有效率的。现阶段做调研尽可能多结合自己的知识，过滤吸收，粗略地感受学科的前沿方向，我觉得是比较合适的。

做学术，既需要深度，又需要广度。路漫漫呐！

参考文献

- [1] A. Joubert, B. Belhadj, O. Temam, and R. Heliot. Hardware spiking neurons design: Analog or digital? In *The 2012 International Joint Conference on Neural Networks (IJCNN)*, pages 1–5, Brisbane, Australia, June 2012. IEEE.
- [2] Johannes Schemmel, Johannes Fieries, and Karlheinz Meier. Wafer-scale integration of analog neural networks. In *2008 IEEE International Joint Conference on Neural Networks (IEEE World Congress on Computational Intelligence)*, pages 431–438, Hong Kong, China, June 2008. IEEE.

- [3] Ali Shafiee, Anirban Nag, Naveen Muralimanohar, Rajeev Balasubramonian, John Paul Strachan, Miao Hu, R. Stanley Williams, and Vivek Srikumar. ISAAC: A Convolutional Neural Network Accelerator with In-Situ Analog Arithmetic in Crossbars. In *2016 ACM/IEEE 43rd Annual International Symposium on Computer Architecture (ISCA)*, pages 14–26, Seoul, South Korea, June 2016. IEEE.

³要是文献都能看懂我也不用在这读本科了。